



Patent

Customer No. 31561
Application No.: 10/605,326
Docket No. 11209-US-PA

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Applicant : Yeh et al.
Application No. : 10/605,326
Filed : September 23, 2003
For : METHOD OF FORMING CONTACT OPENING AND
METHOD OF FORMING SEMICONDUCTOR DEVICE
Examiner :
Art Unit : 2812

ASSISTANT COMMISSIONER FOR PATENTS
Arlington, VA22202

Dear Sirs:

Transmitted herewith is a certified copy of Taiwan Application No.:
092116356, filed on: 2003/06/17.

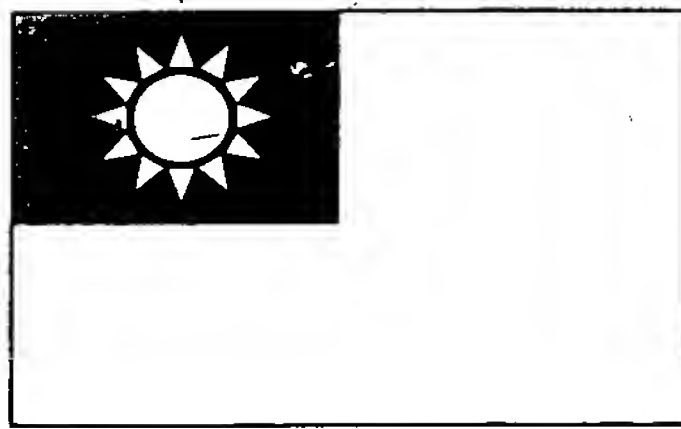
A return prepaid postcard is also included herewith.

Respectfully Submitted,
JIANQ CHYUN Intellectual Property Office

Dated: Feb. 25, 2004

By: Belinda Lee
Belinda Lee
Registration No.: 46,863

Please send future correspondence to:
7F.-1, No. 100, Roosevelt Rd.,
Sec. 2, Taipei 100, Taiwan, R.O.C.
Tel: 886-2-2369 2800
Fax: 886-2-2369 7233 / 886-2-2369 7234



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 06 月 17 日
Application Date

申請案號：092116356
Application No.

申請人：茂德科技股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 10 月 9 日
Issue Date

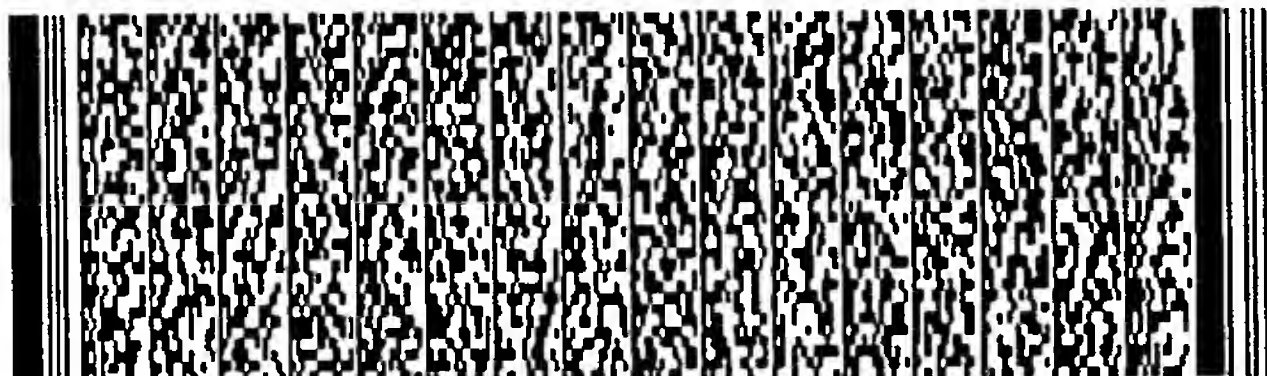
發文字號：09221018680
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	接觸窗開口的製造方法以及半導體元件的製造方法
	英 文	METHOD OF FORMING A CONRACT HOLE AND METHOD OF FORMING A SEMICONDUCTOR DEVICE
二、 發明人 (共2人)	姓 名 (中文)	1. 葉芳裕
	姓 名 (英文)	1. Fang-Yu Yeh
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 桃園縣桃園市瑞慶路389之1號15樓
	住居所 (英 文)	1. 15Fl., No. 389-1, Rueiching St., Taoyuan City, Taoyuan, Taiwan 330, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 茂德科技股份有限公司
	名稱或 姓 名 (英文)	1. ProMOS Technologies Inc.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹科學工業園區力行路十九號3樓 (本地址與前向貴局申請者不同)
	住居所 (營業所) (英 文)	1. 3F., No. 19, Li Hsin Rd., Science Based Industrial Park, Hsinchu, Taiwan, R.O.C.
	代表人 (中文)	1. 胡洪九
	代表人 (英文)	1. Hung-Chiu HU

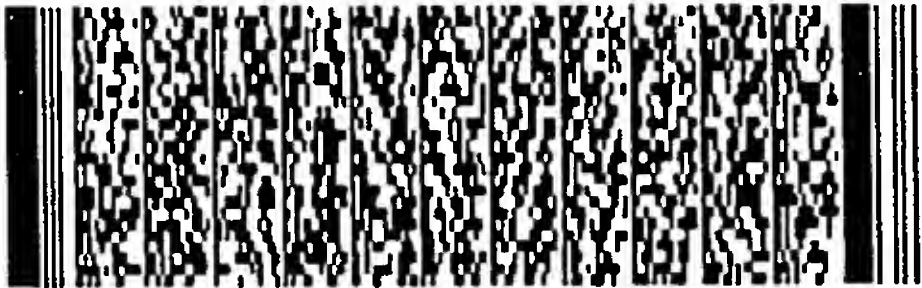


申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共2人)	姓 名 (中 文)	2. 陳俊哲
	姓 名 (英 文)	2. Chun-Che Chen
	國 籍 (中 英 文)	2. 中 華 民 國 TW
	住 居 所 (中 文)	2. 高雄市鼓山二路45巷18號
	住 居 所 (英 文)	2. No. 18, Lane 45, Gushan 2nd Rd., Gushan District, Kaohsiung City, 804, Taiwan (R.O.C.)
三、 申請人 (共1人)	名稱或 姓 名 (中 文)	
	名稱或 姓 名 (英 文)	
	國 籍 (中 英 文)	
	住 居 所 (營 業 所) (中 文)	
	住 居 所 (營 業 所) (英 文)	
	代 表 人 (中 文)	
	代 表 人 (英 文)	



四、中文發明摘要 (發明名稱：接觸窗開口的製造方法以及半導體元件的製造方法)

一種接觸窗開口的製造方法，其係首先提供一基底，且基底上已形成有數個導電結構。接著進行離子植入步驟。之後進行熱製程，以在導電結構之側壁以及未被導電結構覆蓋之的基底表面上形成襯層，其中形成在導電結構側壁處之襯層的厚度係小於形成在基底表面上之襯層的厚度。接著在上述導電結構兩側形成間隙壁。隨後在基底上方形成絕緣層，並且圖案化絕緣層，以在相鄰的其中二導電結構之間形成接觸窗開口。由於本發明在導電結構之側壁處形成的襯層厚度較薄，因此後續無須再進行側壁襯層之蝕刻，而可以確保基底表面襯層厚度之均勻性。

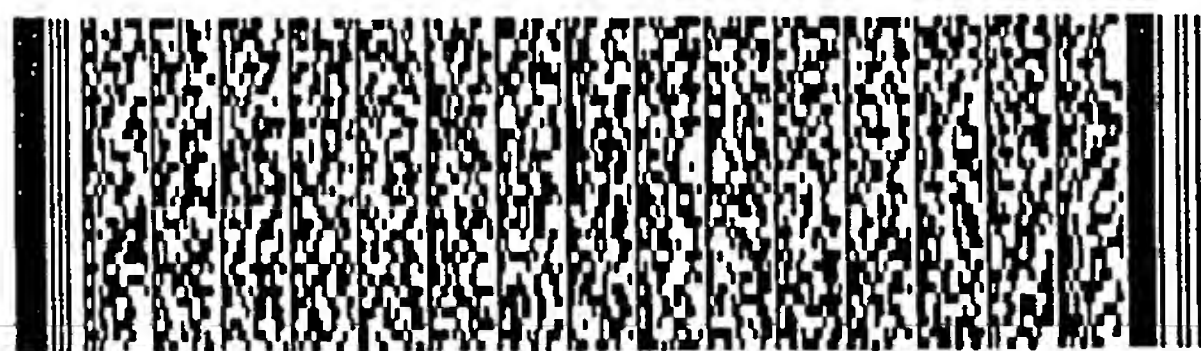
伍、(一)、本案代表圖為：第___2B_____圖

(二)、本案代表圖之元件代表符號簡單說明：

100：基底	104：閘介電層	106：多晶矽層
108：金屬矽化物層	110：頂蓋層	112：閘極結構

六、英文發明摘要 (發明名稱：METHOD OF FORMING A CONTACT HOLE AND METHOD OF FORMING A SEMICONDUCTOR DEVICE)

A method of forming a contact hole is described. A substrate having several conductive structures thereon is provided. An implantation process is performed. Then, a thermal process is conducted to form a liner on the sidewall surfaces of the conductive structures and the substrate that are not covered by the conductive structures. The liner formed on the sidewall surfaces of the



四、中文發明摘要 (發明名稱：接觸窗開口的製造方法以及半導體元件的製造方法)

200 : 傾斜離子植入步驟 X : 寬度 Y : 高度

六、英文發明摘要 (發明名稱：METHOD OF FORMING A CONTACT HOLE AND METHOD OF FORMING A SEMICONDUCTOR DEVICE)

conductive structures is thinner than it formed on the substrate. Then, spacers are formed on sides of above conductive structures. An insulating layer is formed over the substrate, and then patterning the insulating layer to form a contact hole between two adjacent conductive structures. Since the liner formed on the sidewall surfaces of the conductive structures is thinner, the sidewall



四、中文發明摘要 (發明名稱：接觸窗開口的製造方法以及半導體元件的製造方法)

六、英文發明摘要 (發明名稱：METHOD OF FORMING A CONTACT HOLE AND METHOD OF FORMING A SEMICONDUCTOR DEVICE)

liner layer etching can be eliminated for assuring the uniformity of the liner layer.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

【發明所屬之技術領域】

本發明是有關於一種半導體製程，且特別是有關於一種接觸窗開口的製造方法以及半導體元件的製造方法。

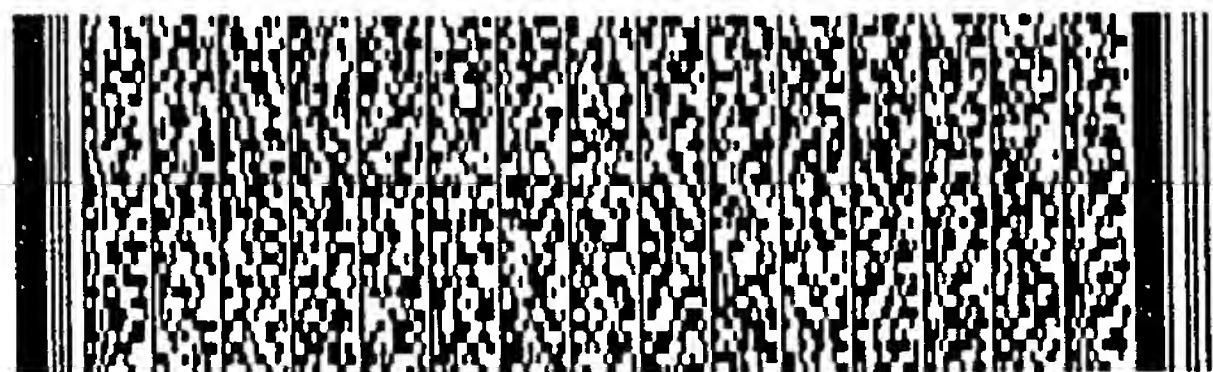
【先前技術】

隨著半導體技術的進步，元件的尺寸也不斷地縮小，進入深次微米的領域中。當積體電路的積集度增加時，使得晶片的表面無法提供足夠的面積來製作所需的內連線 (Interconnects)，因此為了配合元件縮小後所增加的內連線需求，兩層以上的多層金屬內連線的設計，便成為超大型積體電路 (VLSI) 技術所必須採用的方式。此外，不同金屬層之間若要導通，則必須在兩金屬層之間的絕緣層挖一個開口並填入導電材料，以形成導通兩金屬層之插塞結構。

為了克服愈來愈小的線寬以及防止接觸窗發生對準失誤 (Misalignment)，通常許多半導體元件會採用自行對準接觸窗的設計。特別是在記憶體元件中，將基底中之摻雜區與形成在基底上方之位元線電性連接之方式，通常都是使用自行對準接觸窗的設計。

第1A圖至第1F圖，其繪示是習知一種記憶體元件中接觸窗開口的製造流程剖面示意圖。

請參照第1A圖，提供一基底100，基底100上已形成有具有頂蓋層110之間極結構112，且每一間極結構112係包括一閘介電層104、一多晶矽層106以及一金屬矽化物層108。其中，圖中所標示之區域102係為後續預定形成有位



五、發明說明 (2)

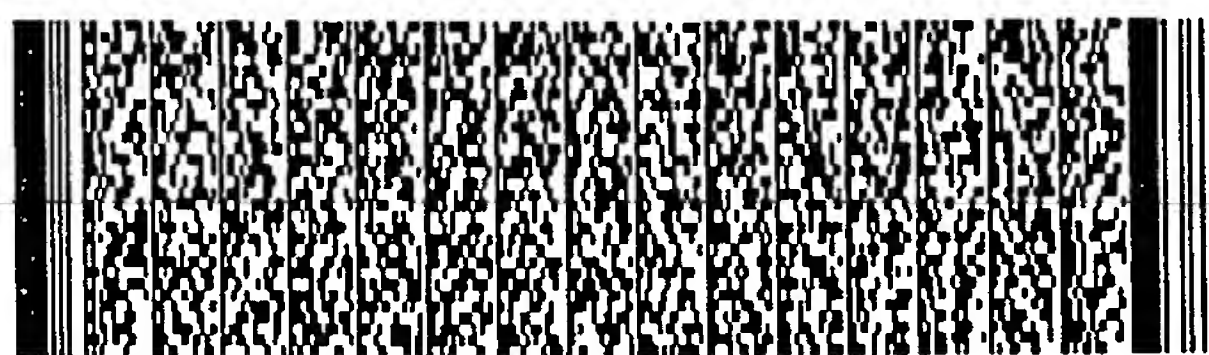
元線接觸窗之處，而區域103係為後續預定不形成有位元線接觸窗之處。

接著，請參照第1B圖，進行矽化鎢之蝕刻步驟，以移除矽化鎢層108側壁之部分厚度，使得金屬矽化物層108a較其他膜層凹陷。

之後，請參照第1C圖，進行一熱氧化製程，以在閘極結構112之側壁以及未被閘極結構112覆蓋之基底100表面上形成一襯氧化層(oxide liner)114。由於在先前步驟中已先移除金屬矽化物層108側壁之部分厚度，因此在此熱氧化製程中，可以避免金屬矽化物層108a因晶粒成長而造成側面凸起(lateral extrusion)。

隨後，請參照第1D圖，在基底100上方形成一光阻層116，覆蓋住區域103即預定不形成位元線接觸窗之處。接著，進行一側壁氧化層(SWOX)蝕刻步驟以薄化被光阻層116暴露出之襯氧化層114，而形成襯氧化層114a。在此，將區域102中之襯氧化層114薄化的目的是為了提高該處之空隙(開口)的寬度，減少其深寬比，以加大後續蝕刻或沈積之製程窗(process window)。

請參照第1E圖，移除光阻層116之後，在閘極結構112以及頂蓋層110之側壁形成一間隙壁118。而形成間隙壁118之方法係先在上述所形成之結構表面形成氮化矽層(未繪示)之後，再以非等向性蝕刻氮化矽層之後即可形成氮化矽間隙壁118。然而，在上述非等向性蝕刻步驟中，因區域102中之襯氧化層114a厚度已較為薄，因此此時可能



五、發明說明 (3)

會使暴露出的襯氧化層114a被移除部分厚度，甚至被完全移除，而使基底100表面暴露出來。

請參照第1F圖，於基底100上方沈積一絕緣層120。並且進行微影蝕刻製程，以圖案化絕緣層120，而在區域102中相鄰二閘極結構112之間形成一自動對準接觸窗開口 (self-aligned contact, SAC) 122。

值得注意的是，由於在先前的步驟中，區域102中之基底100表面已被暴露出，以及為了確保其他接觸窗開口 (未繪示) 暴露出基底，因此在此自動對準接觸窗開口122之蝕刻製程過程中，將會直接蝕刻到基底100表面，而造成損害 (damage) 117。

通常在標號117處的基底100中都會形成有摻雜區 (未繪示)，因此若該處遭到損壞，將可能會造成接面漏電 (junction leakage) 的問題。而且，為了補救因基底100表面之損壞而造成摻雜區濃度的不足，通常還需要額外的進行一離子植入步驟，以確保摻雜區之濃度足夠。如此，將使得製程步驟較為繁雜，且可能造成短通道效應 (short channel effect)。

【發明內容】

因此本發明的目的就是提供一種接觸窗開口的製造方法，以解決習知位元線接觸窗開口的製程中容易對基底表面造成傷害，而導致接面漏電的問題。

本發明的再一目的是提供一種接觸窗開口的製造方法，以解決習知位元線接觸窗開口的製程中會有製程較為



五、發明說明 (4)

複雜之缺點。

本發明提出一種接觸窗開口的製造方法，此方法係首先提供一基底，基底上已形成有數個導電結構，其例如是開極結構。接著進行一離子植入步驟，此離子植入步驟可以是傾斜離子植入步驟，其係在導電結構之側壁表面植入離子，其例如是氮離子。或者是垂直離子植入步驟，其係在導電結構之間的基底表面植入氧離子或是氬離子。在此，於進行離子植入步驟之前或是之後，可以選擇性的進行金屬矽化物之蝕刻步驟，以蝕刻開極結構之金屬矽化物層側壁的部份厚度。之後再進行熱製程，以在導電結構之側壁以及未被導電結構覆蓋之基底上形成一襯層

(liner)，其中形成在導電結構側壁處之襯層的厚度會小於形成在基底表面之襯層的厚度。接著在上述導電結構兩側形成間隙壁。隨後，於基底上方形成絕緣層，並且圖案化絕緣層，以在相鄰的其中二導電結構之間形成接觸窗開口。

本發明提出一種半導體元件的製造方法，其係首先提供一基底，且基底上已形成有數個開極結構，且開極結構上具有一頂蓋層。接著進行一離子植入步驟，此離子植入步驟可以是傾斜離子植入步驟，其係在開極結構之側壁表面植入離子，其例如是氮離子。或者是垂直離子植入步驟，其係在導電結構之間的基底表面植入氧離子或是氬離子。在此，於進行離子植入步驟之前或是之後，可以選擇性的進行金屬矽化物之蝕刻步驟，以蝕刻開極結

五、發明說明 (5)

構之金屬矽化物層側壁的部分厚度。之後進行熱製程，以在閘極結構與頂蓋層之側壁以及未被閘極結構覆蓋之基底上形成一襯層，其中形成在閘極結構與頂蓋層側壁處之襯層的厚度會小於形成在基底表面之襯層的厚度。

本發明因利用傾斜離子植入法或是垂直離子植入法，以使後續在閘極結構側壁處所形成之襯層厚度會較薄，而閘極結構之間的基底表面處所形成之襯層厚度較厚，如就此就可以使閘極結構之間具有較寬的空隙，以加大後續蝕刻製程以及沈積製程之製程窗。

另外，由於本發明之方法不需再進行側壁襯層之蝕刻，因此可以確保位於基底上之襯層厚度的均勻性，因此後續就不會因襯層厚度的不均而使導致基底表面遭到蝕刻製程之損害。

由於本發明之接觸窗開口的製造方法可以避免基底表面(摻雜區)受到損害，因此可以防止接面漏電之情形發生。另外，還可以不需再額外進行離子植入步驟來補足摻雜區濃度之不足，以簡化製程步驟。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

【實施方式】

第2A圖至第2F圖所示，其繪示依照本發明一較佳實施例的一種圖接觸窗開口的製造流程剖面示意圖。

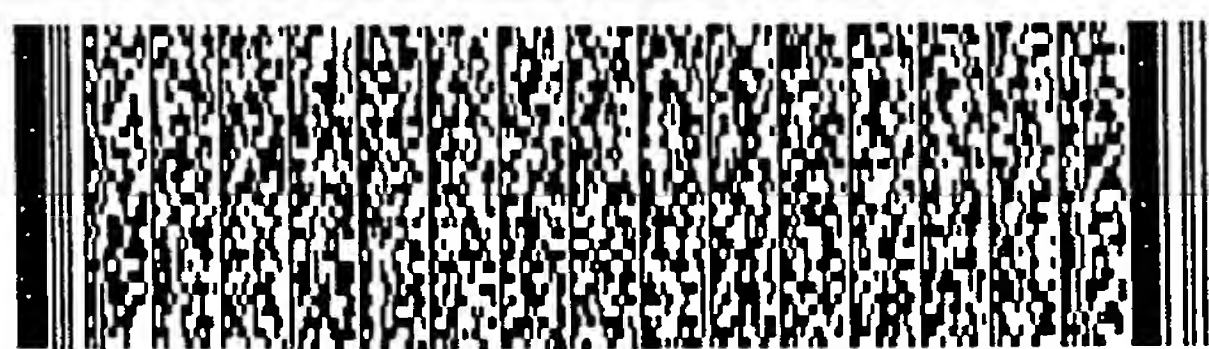
請參照第2A圖，首先提供一基底100，基底100上已形

五、發明說明 (6)

成有數個導電結構112，且導電結構112之頂部還形成有一頂蓋層110。其中，圖中所標示之區域102係為後續預定形成有位元線接觸窗之處，而區域103係為後續預定不形成有位元線接觸窗之處。因此，區域102係為記憶胞區中預定形成有位元線接觸窗之處，而區域103例如是周邊電路區或是記憶胞區中預定不形成有位元線接觸窗之處。

在一較佳實施例中，導電結構112例如是閘極結構，其係由一閘介電層104、一多晶矽層106以及一金屬矽化物層108所構成，且形成導電結構112之方法例如是先基底100上依序沈積一介電層(未繪示)、一多晶矽層(未繪示)、一金屬矽化物層(未繪示)以及一氮化矽層(未繪示)之後，利用微影蝕刻製程圖案化氮化矽層以形成頂蓋層110，隨後再以頂蓋層110為蝕刻罩幕圖案化金屬矽化物層以及多晶矽層，以形成閘極結構112。在此，於定義閘極結構112之蝕刻過程中，可能會移除基底100表面上之閘介電層104部分厚度，而使該處之閘介電層104之厚度較薄。

請參照第2B圖，進行一傾斜離子植入步驟200，以在閘極結構112以及頂蓋層110之側壁表面植入離子。特別是，傾斜離子植入步驟200只會在閘極結構112以及頂蓋層110之側壁表面植入離子，而不會植入在基底100表面上。因此，傾斜離子植入步驟200之傾斜角度需控制得宜，以使離子僅植入於閘極結構112以及頂蓋層110之側壁表面處。換言之，若閘極結構112之間的空隙寬度為 X 且高度為 Y ，則傾斜離子植入步驟200之傾斜角度之最小值 θ 為 \tan



五、發明說明 (7)

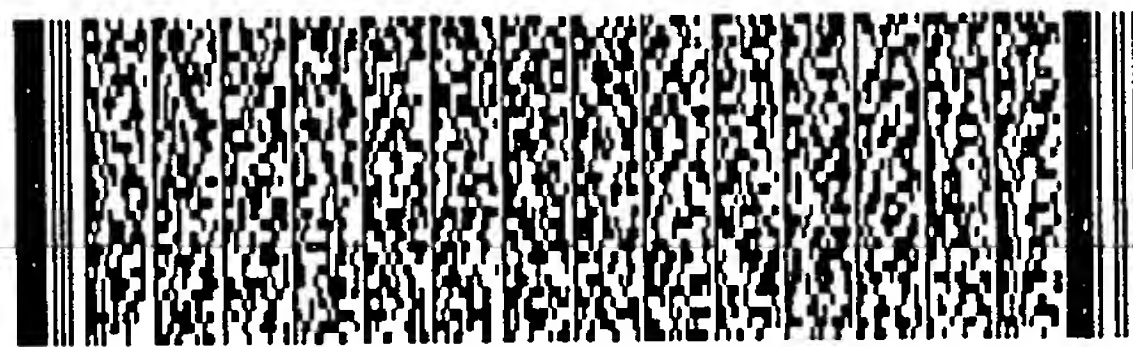
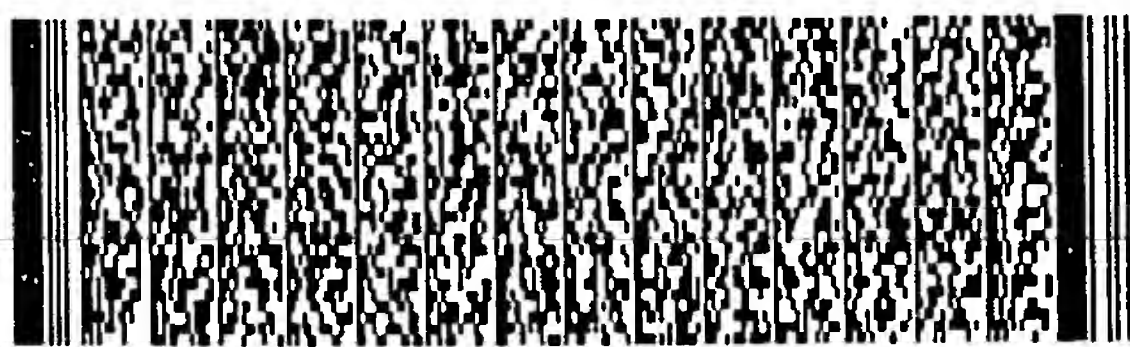
$\theta = X/Y$ 。換言之，傾斜離子植入步驟200之傾斜角度至少大於角度 θ 。

在一較佳實施例中，傾斜離子植入步驟200所使用之離子在熱氧化製程中具有抑制氧化層膜層成長的性質，其例如是氮離子，且傾斜離子植入步驟200之能量例如是介於5 KeV至15 KeV之間，植入之劑量例如是介於 $5E13/cm^2$ 至 $5E14/cm^2$ 之間。

本發明除了可以利用傾斜離子植入步驟200，以在閘極結構112以及頂蓋層110之側壁表面植入能抑制氧化層膜層成長的離子之外，亦可以以垂直離子植入步驟取代。請參照第2C圖，換言之，在第2A圖之步驟之後，接著進行第2C圖之步驟，進行垂直離子植入步驟200a，以在閘極結構112之間的基底100表面植入離子。特別是，垂直離子植入步驟200a只會在閘極結構112之間的基底100表面植入離子，而不會植入在閘極結構112以及頂蓋層110之側壁。

在一較佳實施例中，垂直離子植入步驟200a所使用之離子在熱氧化製程中具有促進氧化層膜層成長的性質，其例如是氧離子或是氫離子。

在進行傾斜離子植入步驟200或是垂直離子植入步驟200a之前或之後，可以選擇性的進行一金屬矽化物之蝕刻步驟，以選擇性蝕刻閘極結構112之金屬矽化物層108側壁的部份厚度，如第2D圖所示。其中，此蝕刻步驟例如是利用RCA1蝕刻液來蝕刻之，且因頂蓋層110、多晶矽層108以及閘介電層104都不易被此蝕刻液侵蝕，因此只有被暴露



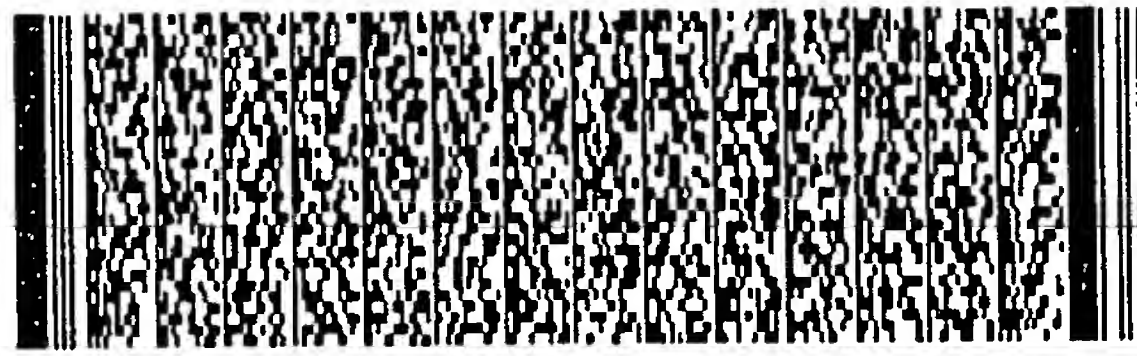
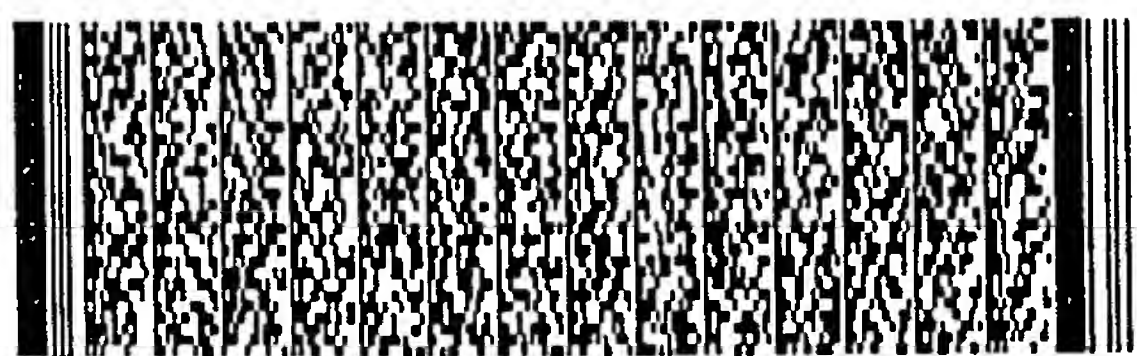
五、發明說明 (8)

出來的金屬矽化物層108側壁處會被部份蝕刻，而形成較凹陷的金屬矽化物層108a。

而進行金屬矽化物之蝕刻步驟之目的是因金屬矽化物層108在後續的熱製程中容易因晶粒的成長而造成側面凸起，而側面凸起之金屬矽化物層108可能會造成非預期的短路現象，因此預先將金屬矽化物層108側壁部份蝕刻將可以防止上述問題的發生。

然而，因本發明在閘極結構112以及頂蓋層110之側壁處已植入有氮離子，其已可以降低金屬矽化物層108在後續熱製程中側面凸起的程度。另外，若上述步驟是在閘極結構112之間的基底100表面植入促進氧化矽膜層成長之離子，則後續熱製程進行的時間可以縮短，以減少熱預算(thermal budget)，並同樣可以降低金屬矽化物層108在熱製程中側面凸起的程度。因此，第2D圖之金屬矽化物之蝕刻步驟是可以選擇性的進行，換言之，在本發明中，金屬矽化物之蝕刻步驟可以選擇不進行，也可以選擇進行，而且可以選擇在進行傾斜離子植入步驟200之前進行或之後進行。

請參照第2E圖，進行一熱製程，以在閘極結構112之側壁以及未被閘極結構112覆蓋之基底100上形成一襯層202，且形成在閘極結構112之側壁處襯層202的厚度會小於形成在基底100表面上之襯層202厚度。由於在先前步驟中已在閘極結構112之側壁處植入抑制氧化矽膜層成長之離子，或是在閘極結構112之間的基底100表面植入促進氧



五、發明說明 (9)

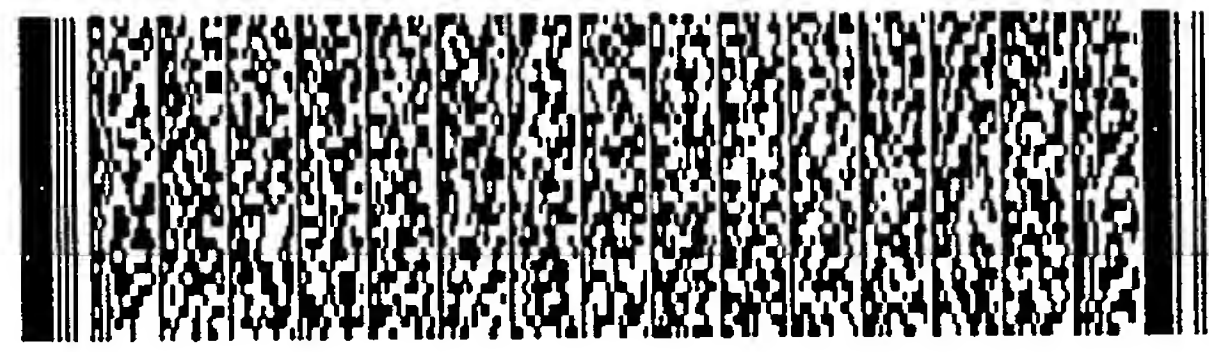
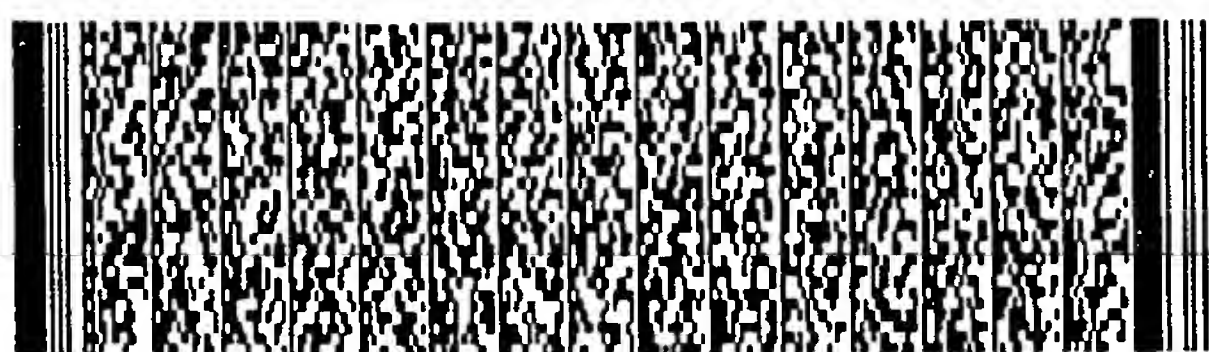
化矽膜層成長之離子，因此在上述熱製程之後，形成在閘極結構112之側壁處襯層202的厚度會小於形成在基底100表面上之襯層202厚度。此熱製程例如是先進行一快速熱製程之後，接著進行一快速熱氧化製程，以形成氧化矽襯層202。

此時，因閘極結構112之側壁處之襯層202的厚度已較為薄，因此無須再進行習知之側壁氧化層(SWOX)蝕刻步驟，以擴大閘極結構112之間的空隙寬度。因此，將可確保區域102以及區域103中之襯層202厚度的均勻性。

請參照第2F圖，在閘極結構112以及頂蓋層110之側壁形成一間隙壁118。而形成間隙壁118之方法例如是先在上述所形成之結構表面形成氮化矽層(未繪示)之後，再以非等向性蝕刻氮化矽層之後即可形成氮化矽間隙壁118。在此，因先前所形成之襯層202其位於基底100表面處之厚度較厚，因此可以確保上述形成間隙壁118之蝕刻過程中，襯層202不會完全被蝕刻開，換言之，可以確保基底100表面不會被暴露出來。

請參照第2G圖，在基底100上方沈積一絕緣層120，絕緣層120例如是氧化矽絕緣層。之後，圖案化絕緣層120，以在區域102中相鄰的二閘極結構112之間形成一自動對準接觸窗開口122，並且暴露出基底100表面。

特別值得一提的是，先前在閘極結構112與頂蓋層110之側壁表面植入氮離子，其除了可以使後續在該處所形成之襯層202厚度較薄之外，還具有另一優點，即在定義自



五、發明說明 (10)

動對準接觸窗開口的蝕刻過程中，可以提高氮化矽材質之頂蓋層與間隙壁對氧化矽材質之絕緣層的蝕刻選擇比。

後續，再於開口122中填入金屬材料(未繪示)，以形成接觸窗，以使基底100中之摻雜區與後續所形成之位元線電性連接。

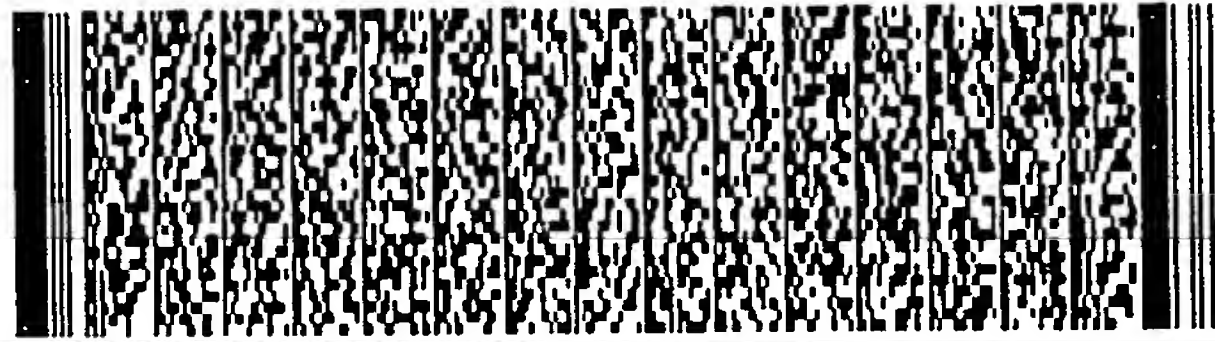
本發明因利用傾斜離子植入法或是垂直離子植入法，以使後續在閘極結構側壁處所形成之襯層之厚度會較薄，而閘極結構之間的基底表面處所形成之襯層厚度較厚，如此就可以使閘極結構之間具有較寬的空隙，以加大後續蝕刻製程以及沈積製程之製程窗。

在本發明中，形成於預定形成接觸窗開口處之襯層的厚度與形成在未預定形成接觸窗開口處之襯層的厚度均一致，因此後續就不會產生因襯層厚度不均而使導致基底表面遭到蝕刻製程之損害。

由於本發明之接觸窗開口的製造方法可以避免基底表面(摻雜區)受到損害，因此可以防止接面漏電之情形發生。另外，還可以不需再額外進行離子植入步驟來補足摻雜區濃度之不足。

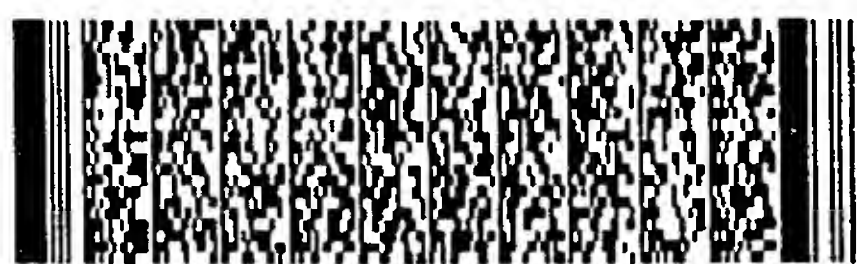
另外，閘極結構之側壁表面植入有氮離子還具有另一優點，即於自動對準接觸窗開口的蝕刻過程中，可以提高氮化矽材質之頂蓋層與間隙壁對氧化矽材質之絕緣層的蝕刻選擇比。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神



五、發明說明 (11)

和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1A圖至第1F圖是習知一種記憶體元件中接觸窗開口的製造流程剖面示意圖；以及

第2A圖至第2G圖是依照本發明一較佳實施例的一種圖接觸窗開口的製造流程剖面示意圖。

【圖式標示說明】

100：基底

102、103：區域

104：閘介電層

106：多晶矽層

108、108a：金屬矽化物層

110：頂蓋層

112：閘極結構

114、114a：襯氧化層

116：光阻層

117：被損傷之基底表面

118：間隙壁

120：絕緣層

122：接觸窗開口

200：傾斜離子植入步驟

200a：垂直離子植入步驟

202、202a：襯層

X：寬度

Y：高度



六、申請專利範圍

1. 一種接觸窗開口的製造方法，包括：

提供一基底，該基底上已形成有複數個導電結構；

進行一離子植入步驟；

進行一熱製程，以在該些導電結構之側壁以及未被該些導電結構覆蓋之該基底表面上形成一襯層，其中形成在該些導電結構側壁處之該襯層的厚度係小於形成在該基底表面上之該襯層的厚度；

在該基底上方形成一絕緣層，覆蓋該些導電結構；以及

圖案化該絕緣層，以在相鄰的其中二該些導電結構之間形成一接觸窗開口。

2. 如申請專利範圍第1項所述之接觸窗開口的製造方法，其中進行該離子植入步驟包括：

進行一傾斜離子植入步驟，以在該些導電結構以及該頂蓋層之側壁表面植入離子，其中該離子在熱製程中具有抑制氧化層膜層成長之性質。

3. 如申請專利範圍第2項所述之接觸窗開口的製造方法，其中於該些導電結構之側壁處所植入之離子係為氮離子。

4. 如申請專利範圍第1項所述之接觸窗開口的製造方法，其中進行該離子植入步驟包括：

進行一垂直離子植入步驟，以在該些導電結構之間的基底表面植入離子，其中該離子在熱製程中具有促進氧化層膜層成長之性質。



六、申請專利範圍

5. 如申請專利範圍第4項所述之接觸窗開口的製造方法，其中於該些導電結構之間的基底表面所植入之離子係為氧離子或是氬離子。

6. 如申請專利範圍第1項所述之接觸窗開口的製造方法，其中形成該些導電結構之方法包括：

在該基底上形成一閘介電層、一多晶矽層、一金屬矽化物層以及一氮化矽層；

圖案化該氮化矽層；以及

圖案化該金屬矽化物層以及該多晶矽層，以形成複數個閘極結構，且每一該些閘極結構具有一頂蓋層。

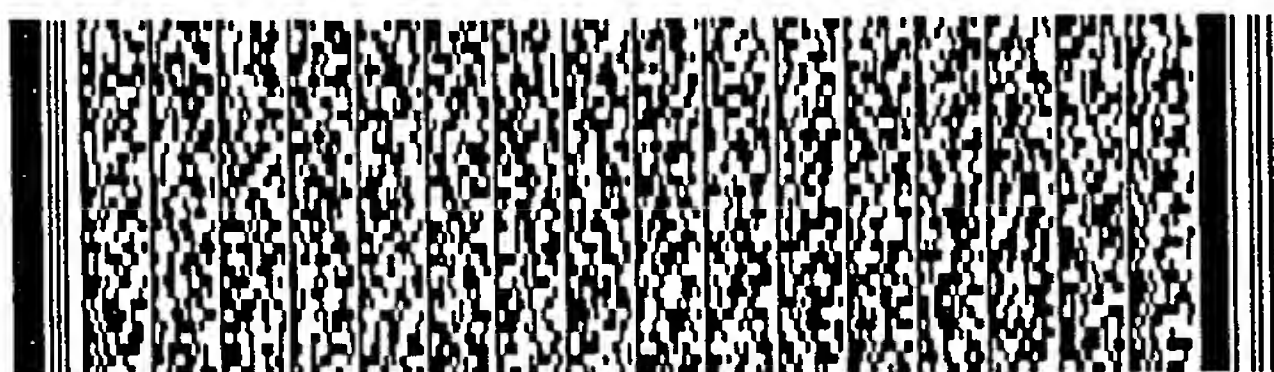
7. 如申請專利範圍第1項所述之接觸窗開口的製造方法，其中在進行該離子植入步驟之前，更包括進行一金屬矽化物層蝕刻步驟，以移除該金屬矽化物層側壁之部分厚度。

8. 如申請專利範圍第1項所述之接觸窗開口的製造方法，其中在進行該離子植入步驟之後，更包括進行一金屬矽化物層蝕刻步驟，以移除該金屬矽化物層側壁之部分厚度。

9. 如申請專利範圍第1項所述之接觸窗開口的製造方法，其中在該些導電結構之側壁以及未被該些導電結構覆蓋之該基底表面上形成該襯層之後的步驟包括：

在該些導電結構之側壁形成一間隙壁；

在該基底上方形成該絕緣層，覆蓋該些導電結構；以及



六、申請專利範圍

圖案化該絕緣層，以在相鄰的其中二該些導電結構之間形成一自動對準接觸窗開口。

10. 如申請專利範圍第1項所述之接觸窗開口的製造方法，其中該熱製程包括先進行一快速熱製程，再進行一快速熱氧化製程。

11. 一種半導體元件的製造方法，包括：

提供一基底，該基底上已形成有複數個閘極結構，且每一該些閘極結構上具有一頂蓋層；

進行一離子植入步驟；以及

進行一熱製程，以在該些閘極結構與該頂蓋層之側壁以及未被該些閘極結構覆蓋之該基底表面上形成一襯層，其中形成在該些閘極結構與該頂蓋層側壁處之該襯層的厚度係小於形成在該基底表面上之該襯層的厚度。

12. 如申請專利範圍第11項所述之半導體元件的製造方法，其中進行該離子植入步驟包括：

進行一傾斜離子植入步驟，以在該些導電結構以及該頂蓋層之側壁表面植入離子，其中該離子在熱製程中具有抑制氧化層膜層成長之性質。

13. 如申請專利範圍第12項所述之半導體元件的製造方法，其中於該些導電結構之側壁處所植入之離子係為氮離子。

14. 如申請專利範圍第11項所述之半導體元件的製造方法，其中進行該離子植入步驟包括：

進行一垂直離子植入步驟，以在該些導電結構之間的



六、申請專利範圍

基底表面植入離子，其中該離子在熱製程中具有促進氧化層膜層成長之性質。

15. 如申請專利範圍第14項所述之半導體元件的製造方法，其中於該些導電結構之間的基底表面所植入之離子係為氧離子或是氫離子。

16. 如申請專利範圍第11項所述之半導體元件的製造方法，其中形成該些閘極結構之方法包括：

在該基底上形成一閘介電層、一多晶矽層、一金屬矽化物層以及一氮化矽層；

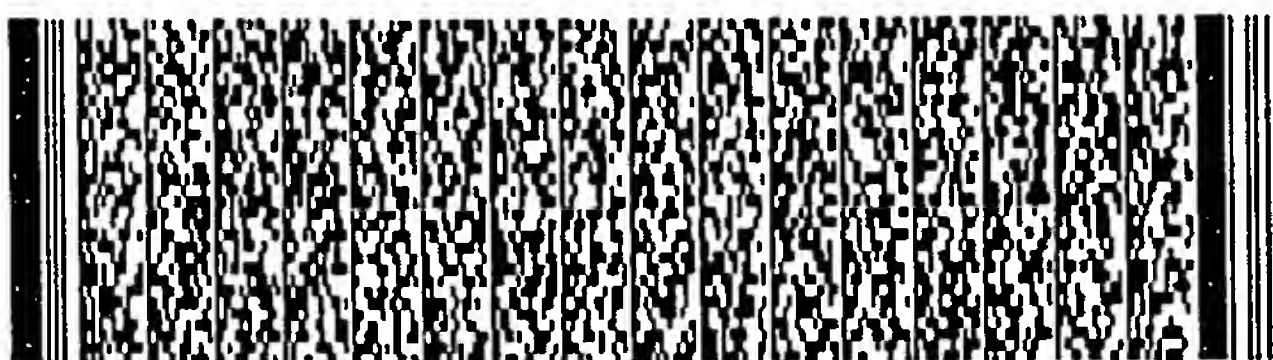
圖案化該氮化矽層；以及

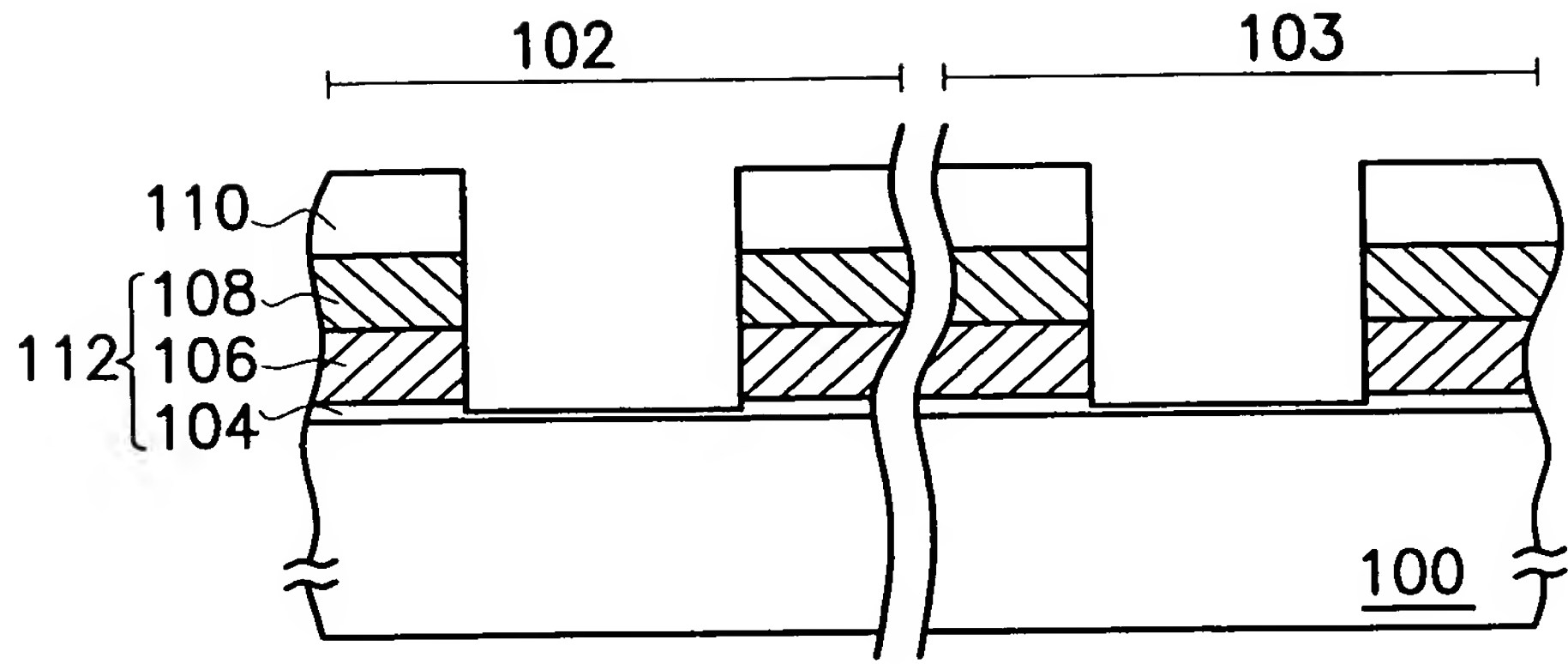
圖案化該金屬矽化物層以及該多晶矽層。

17. 如申請專利範圍第11項所述之半導體元件的製造方法，其中在進行該離子植入步驟之前，更包括進行一金屬矽化物層蝕刻步驟，以移除該金屬矽化物層側壁之部分厚度。

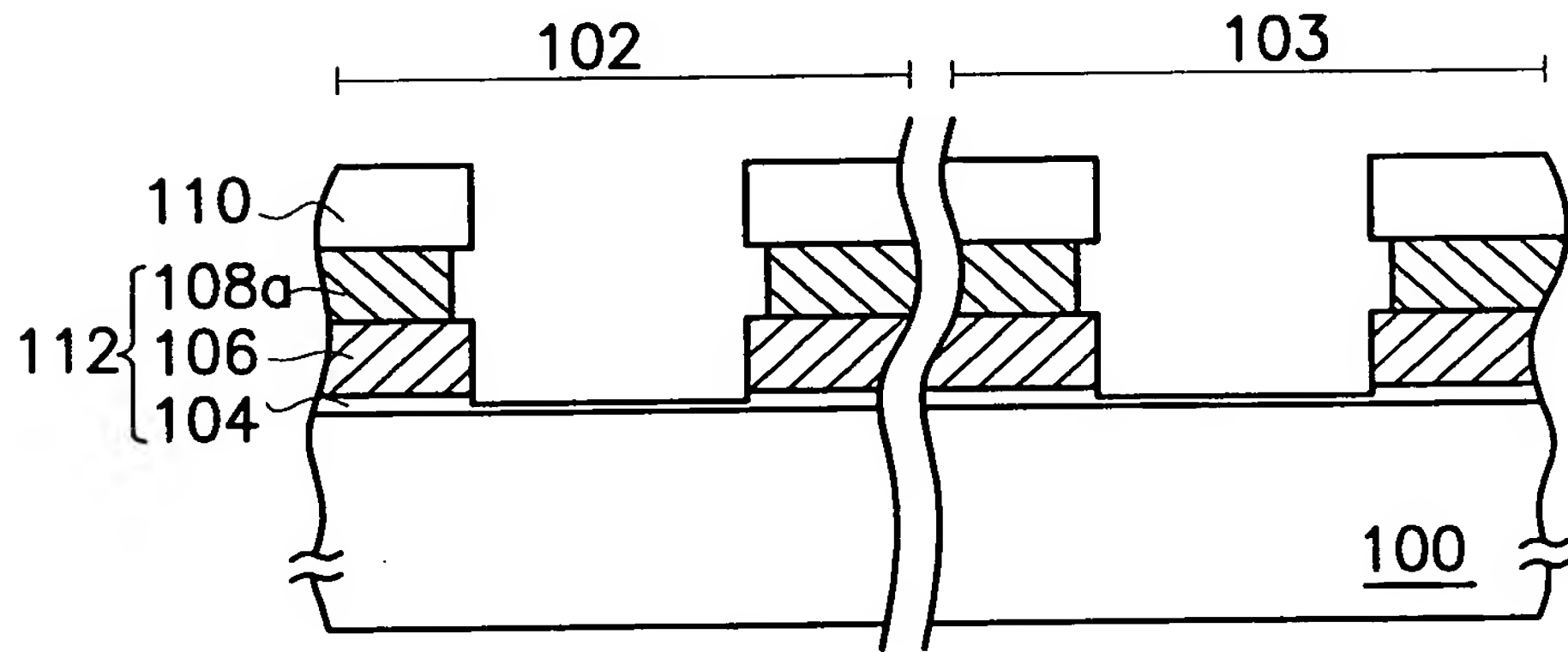
18. 如申請專利範圍第11項所述之半導體元件的製造方法，其中在進行該離子植入步驟之後，更包括進行一金屬矽化物層蝕刻步驟，以移除該金屬矽化物層側壁之部分厚度。

19. 如申請專利範圍第11項所述之半導體元件的製造方法，其中該熱製程包括先進行一快速熱製程，再進行一快速熱氧化製程。

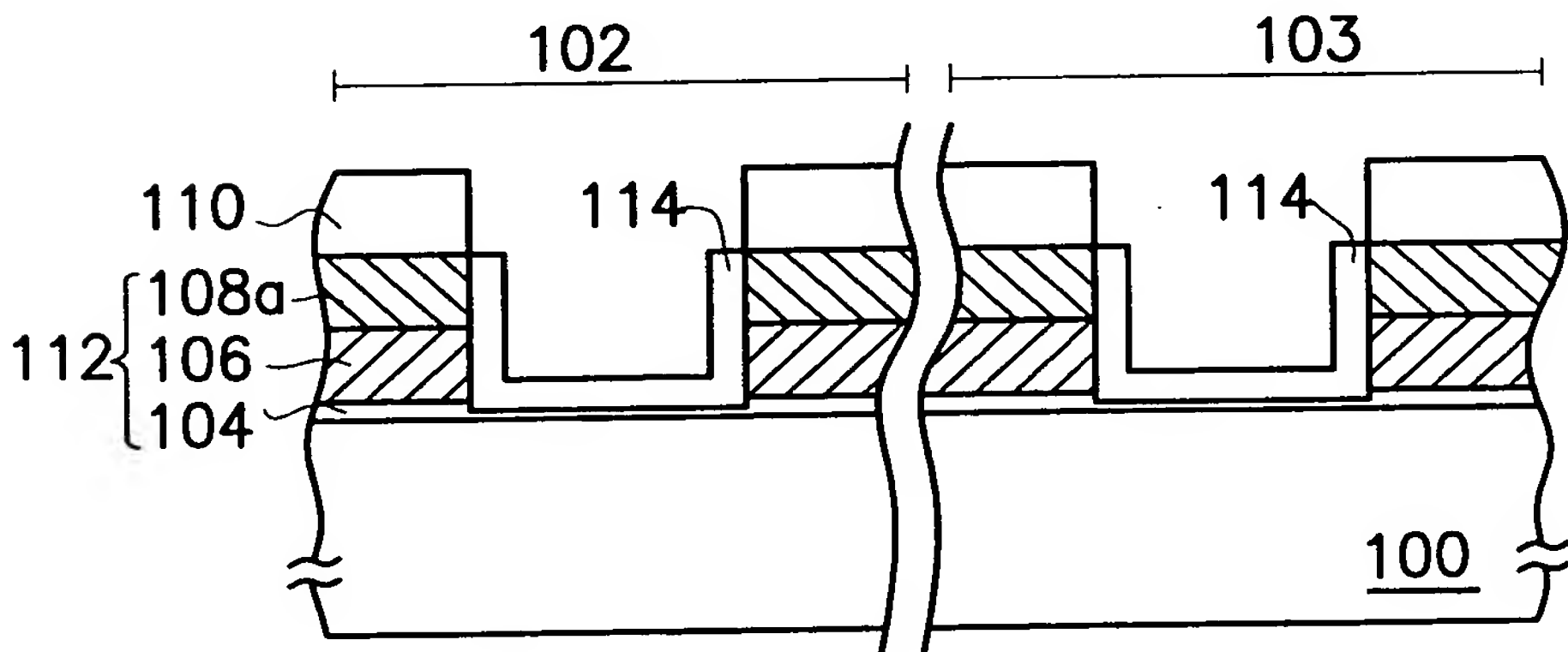




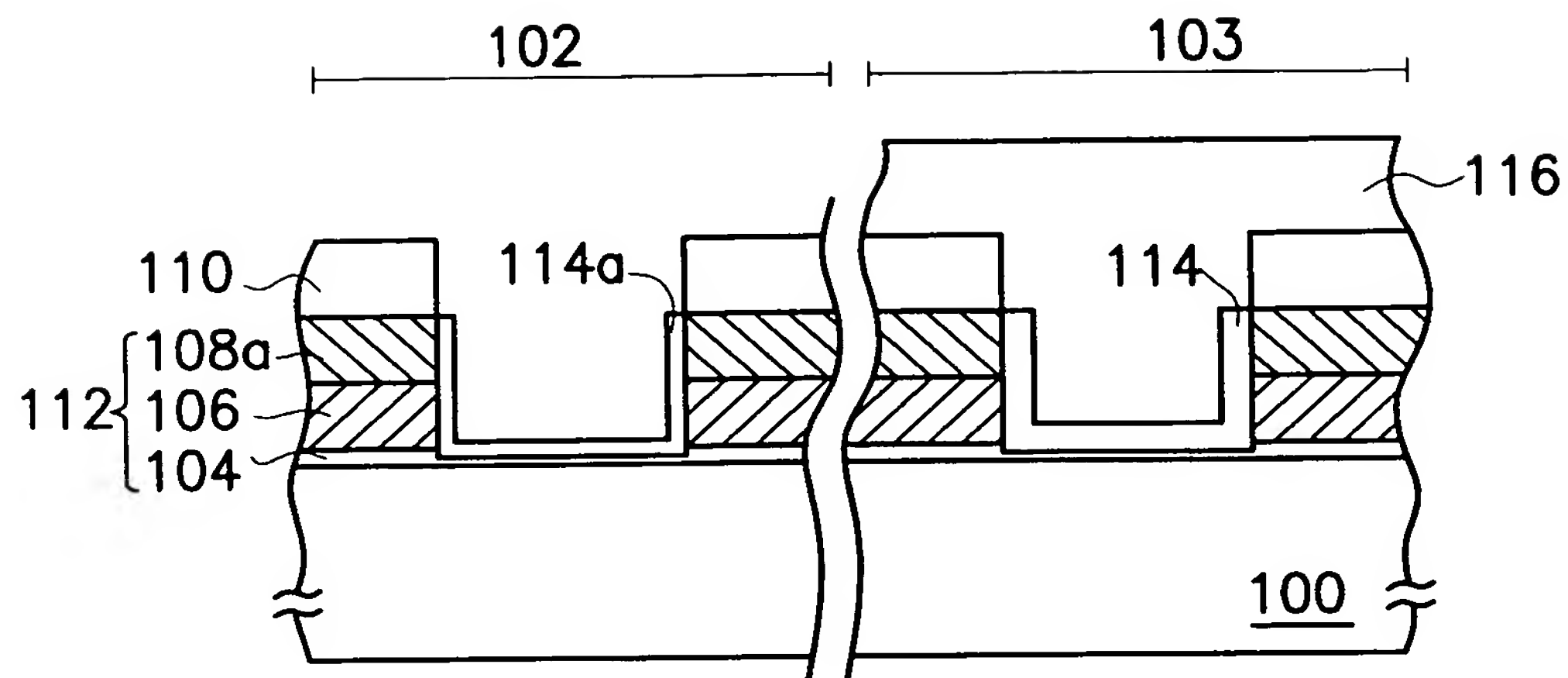
第 1A 圖



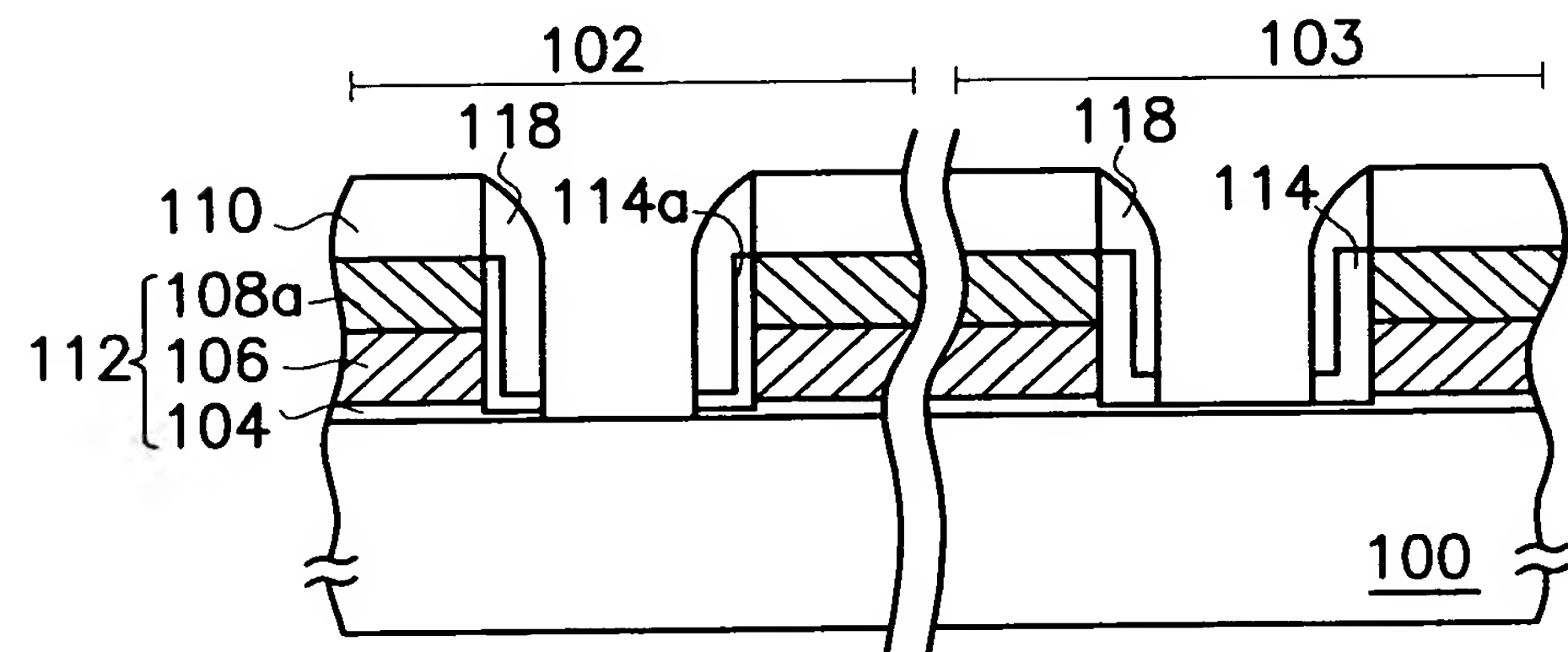
第 1B 圖



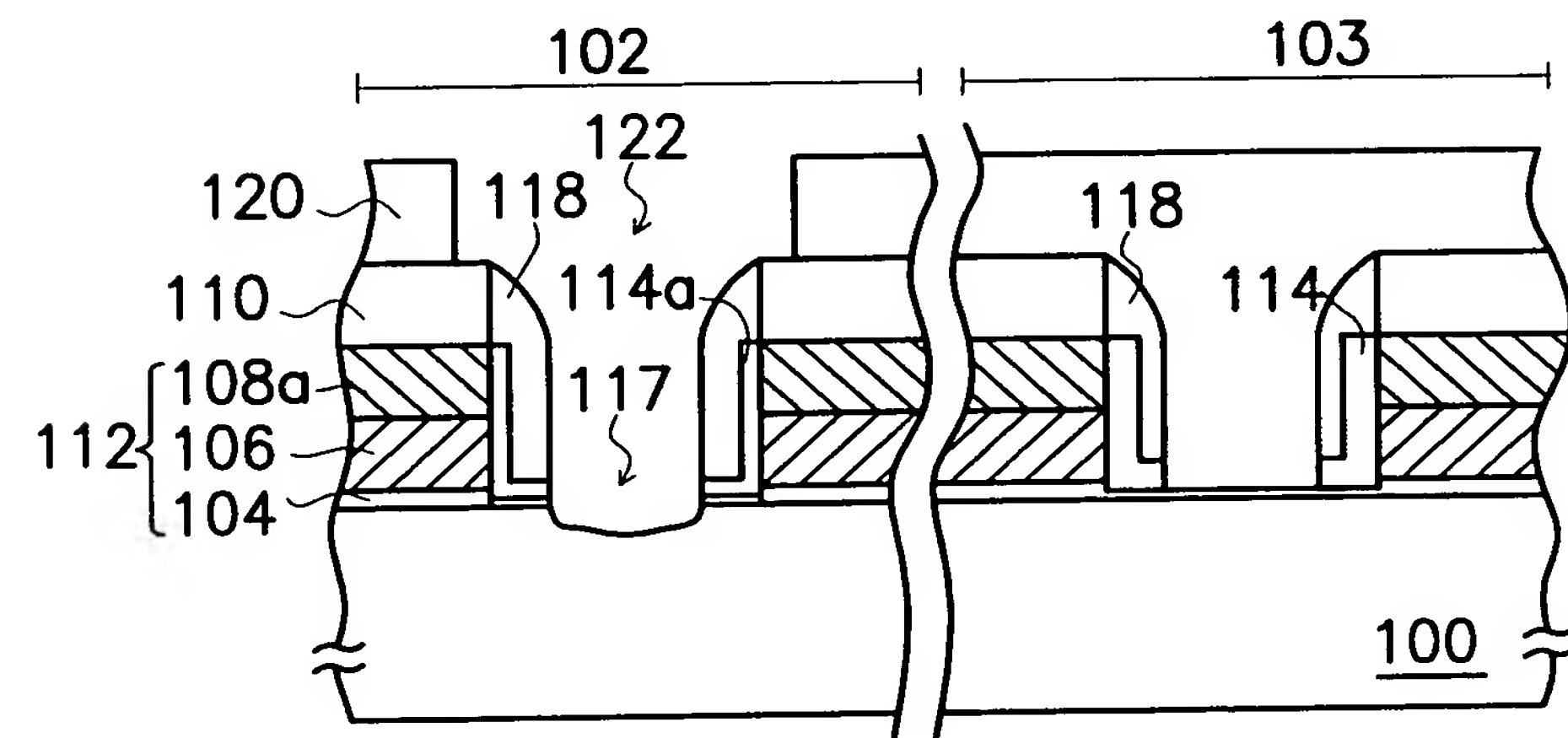
第 1C 圖



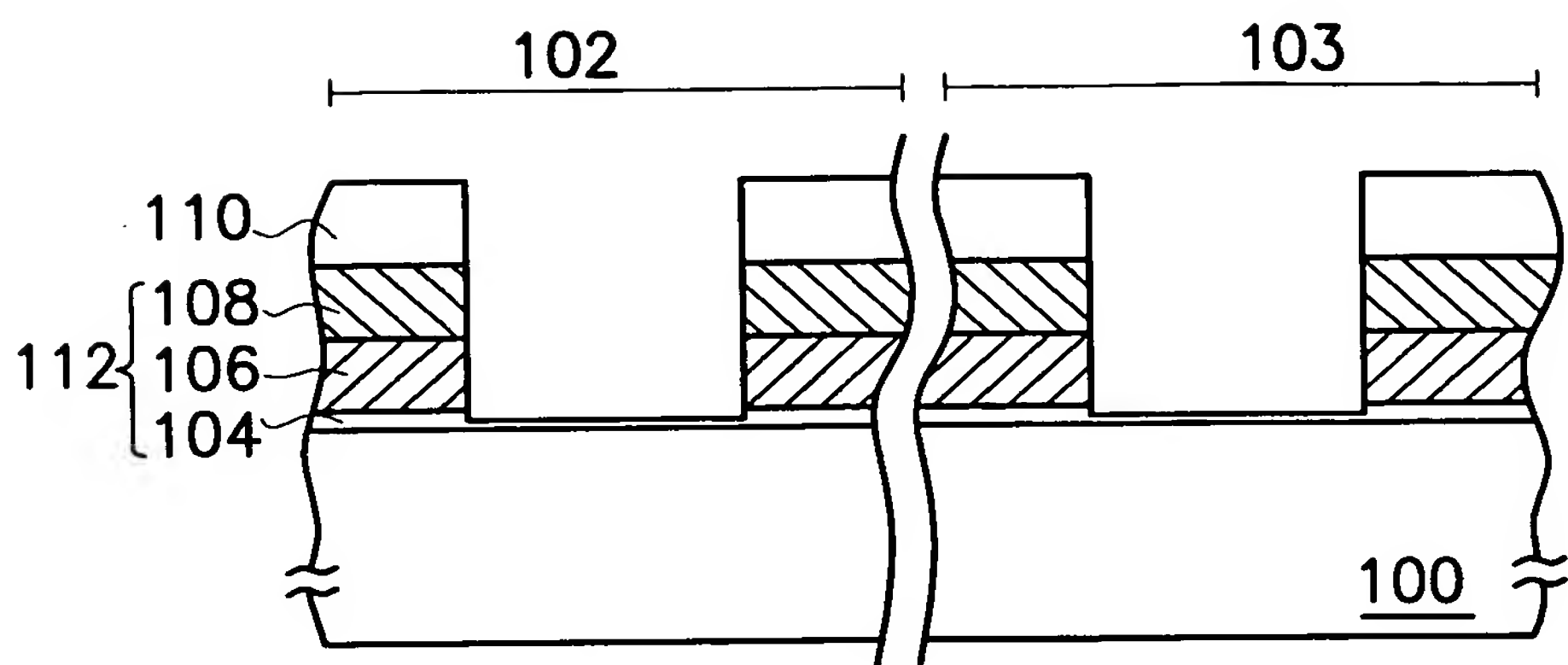
第 1D 圖



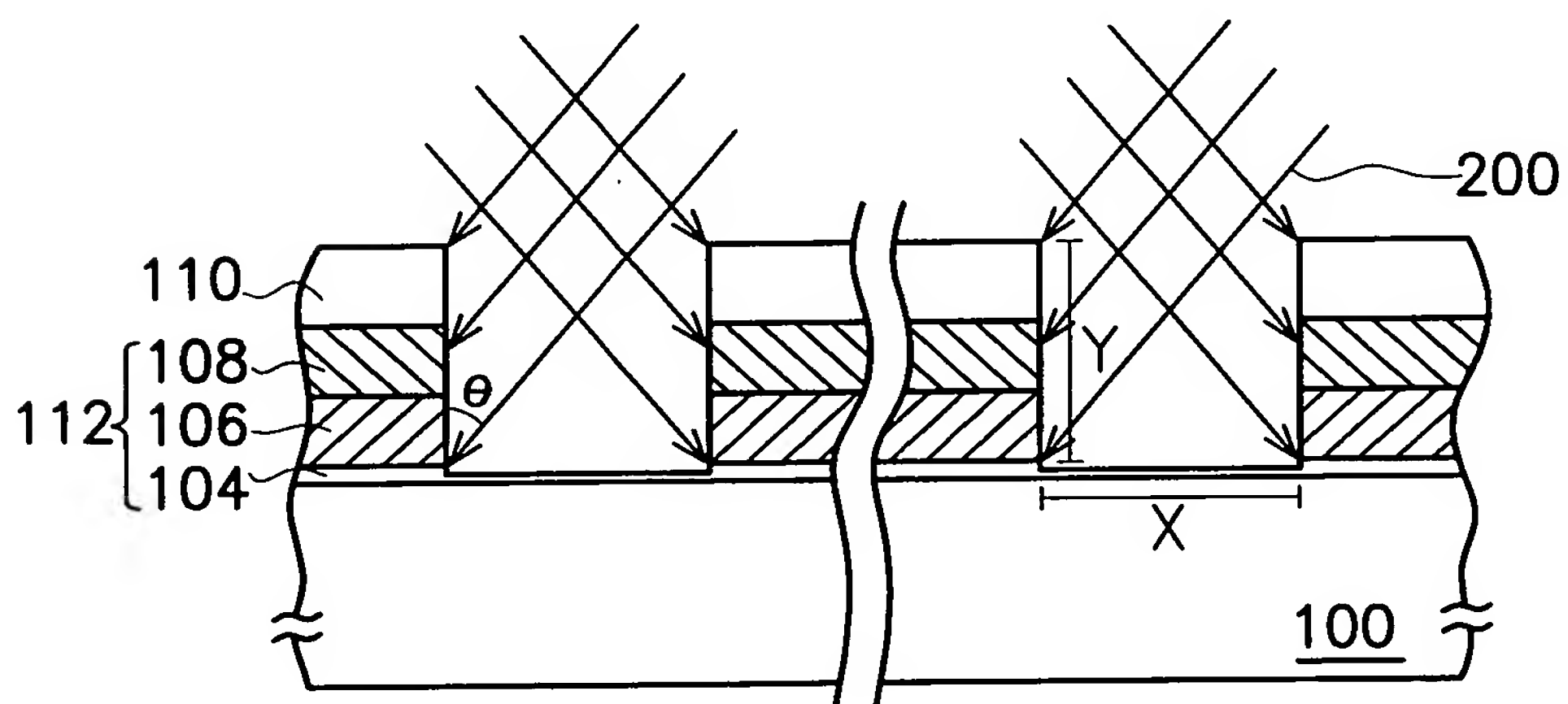
第 1E 圖



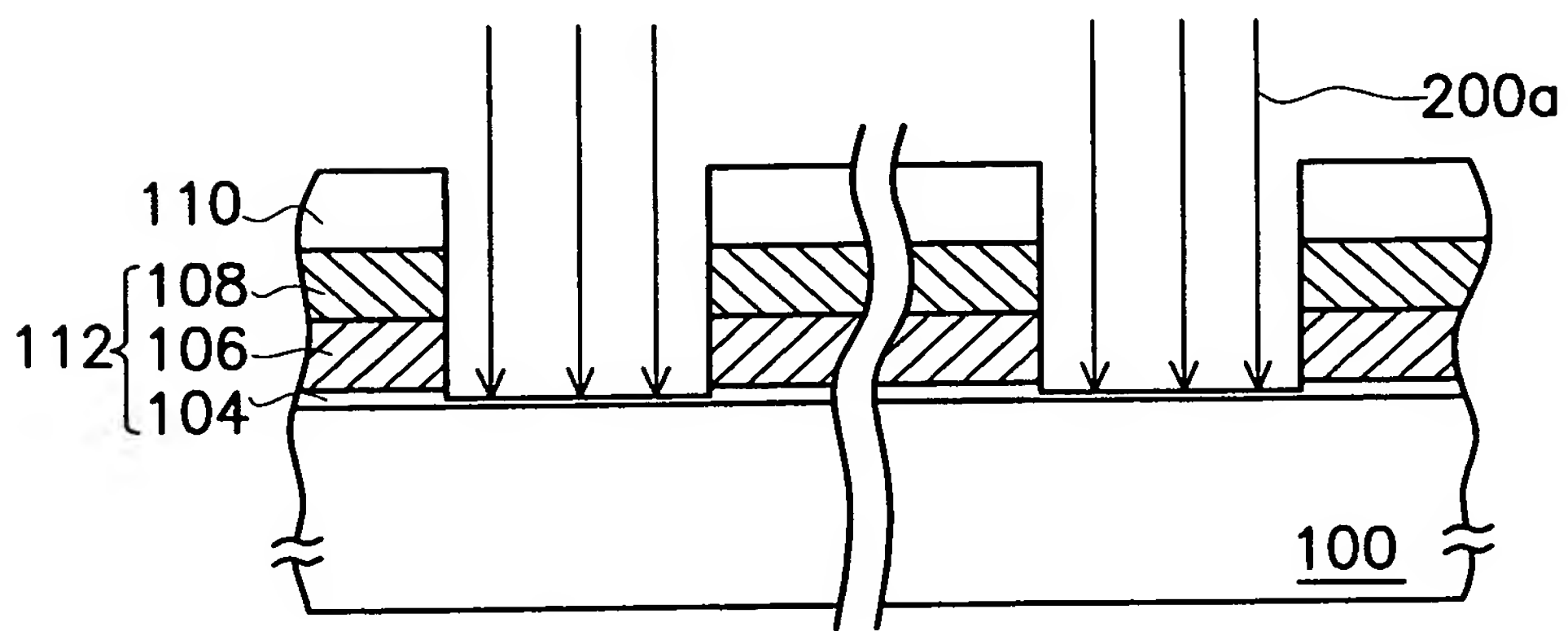
第 1F 圖



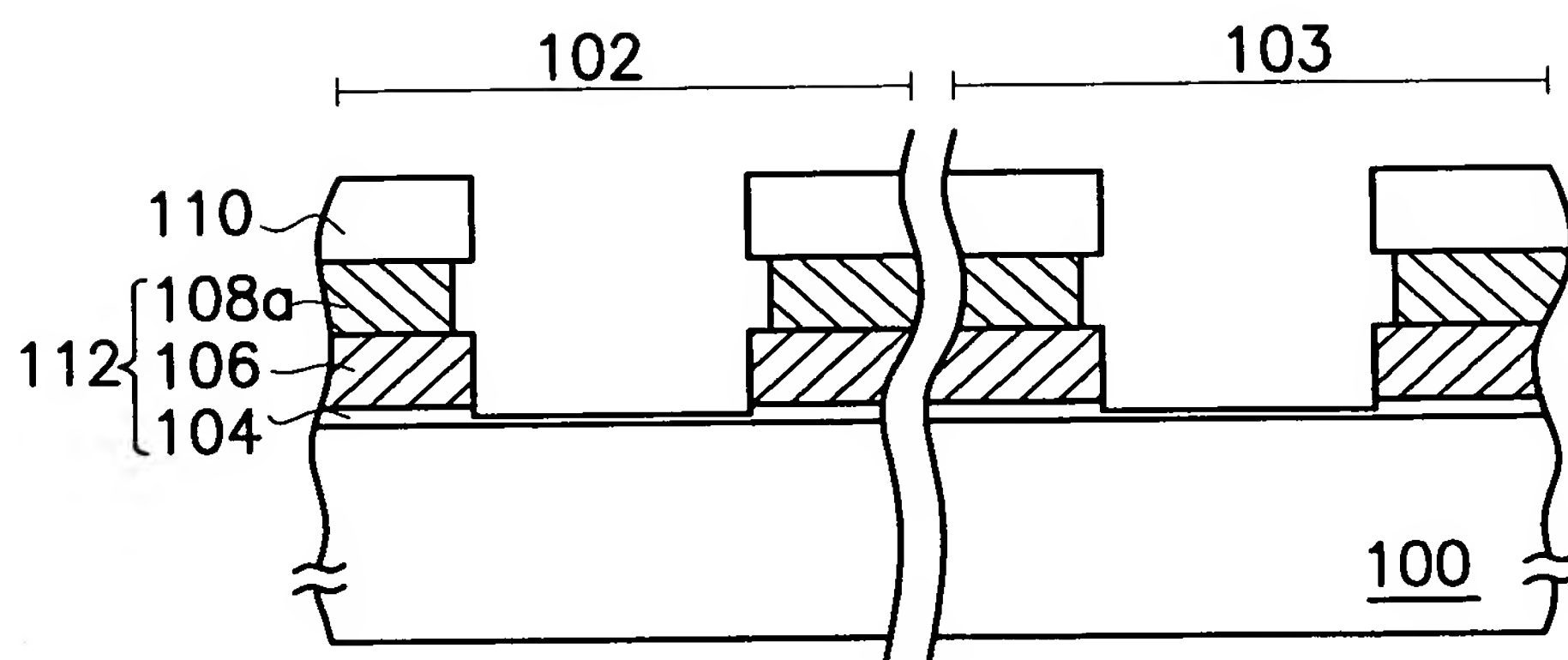
第 2A 圖



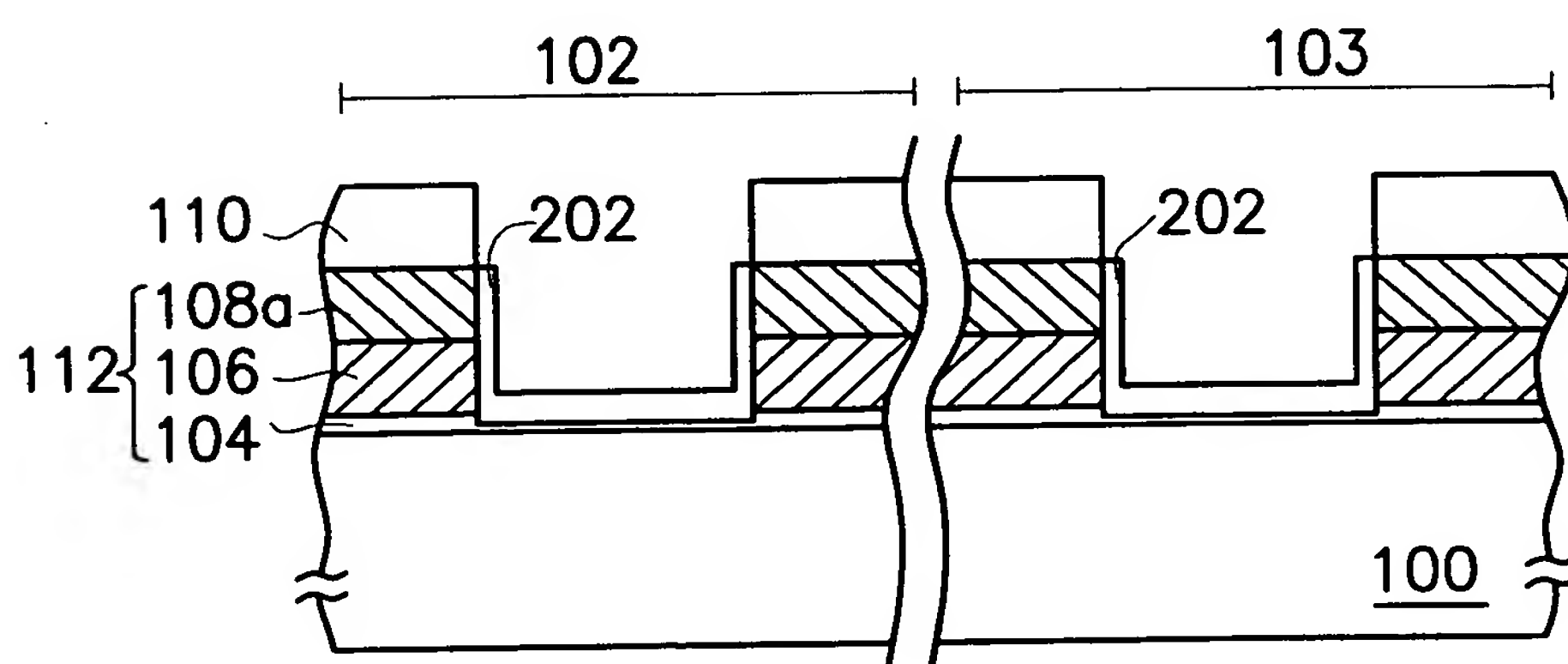
第 2B 圖



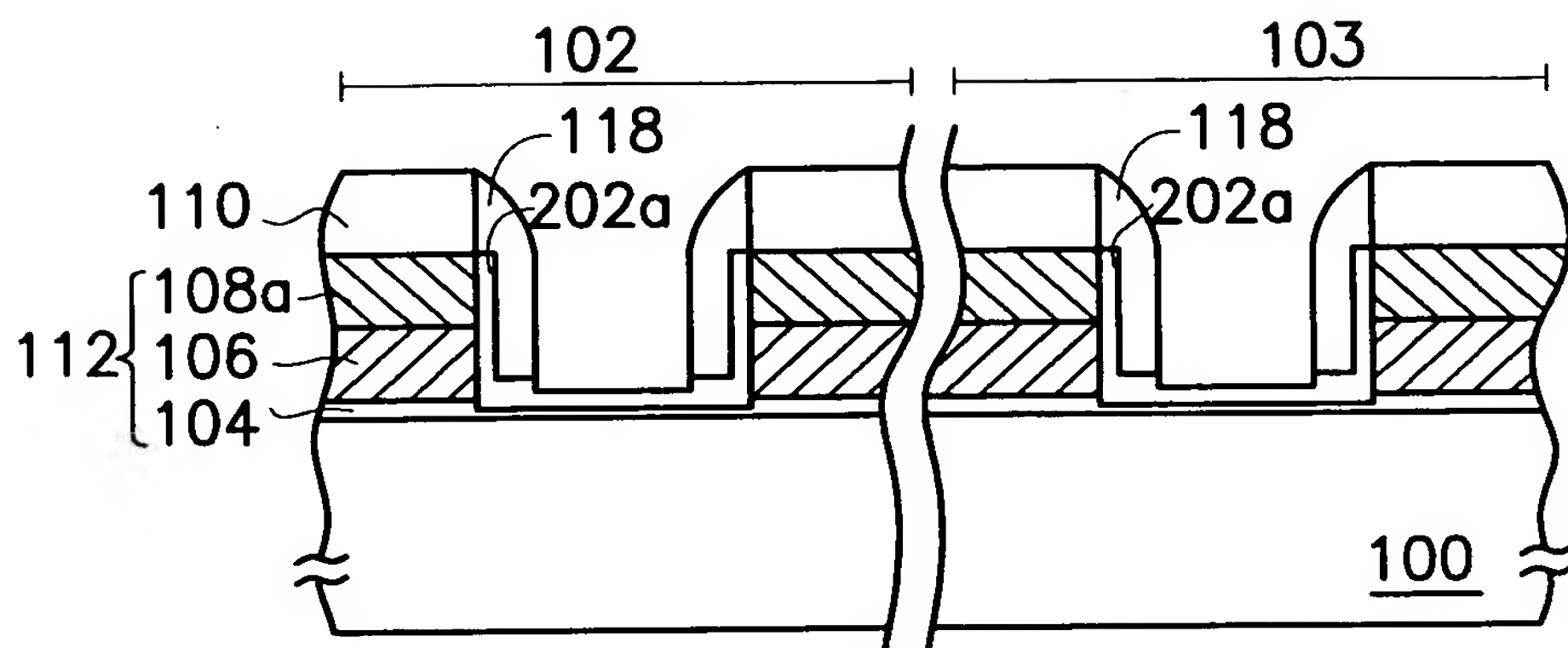
第 2C 圖



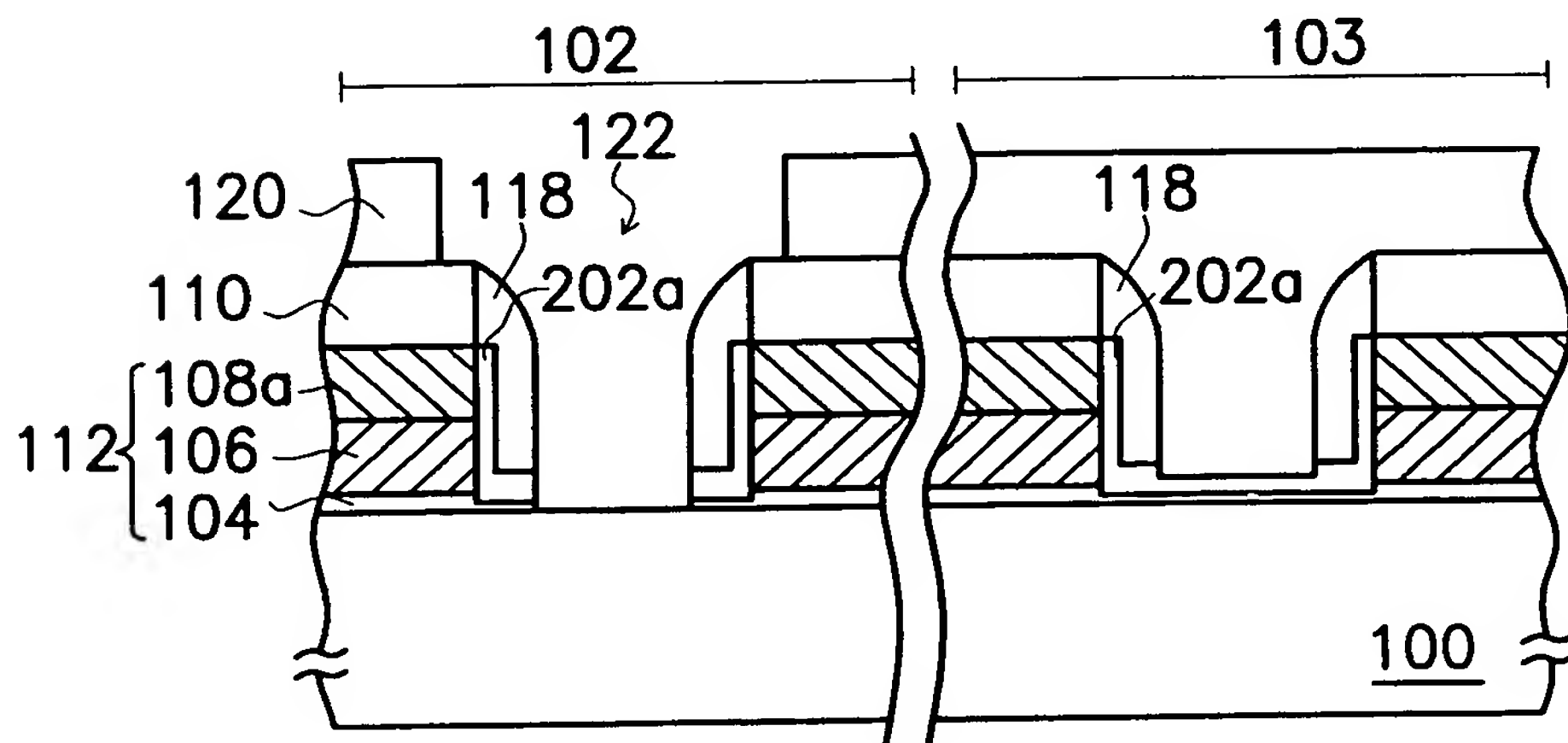
第 2D 圖



第 2E 圖

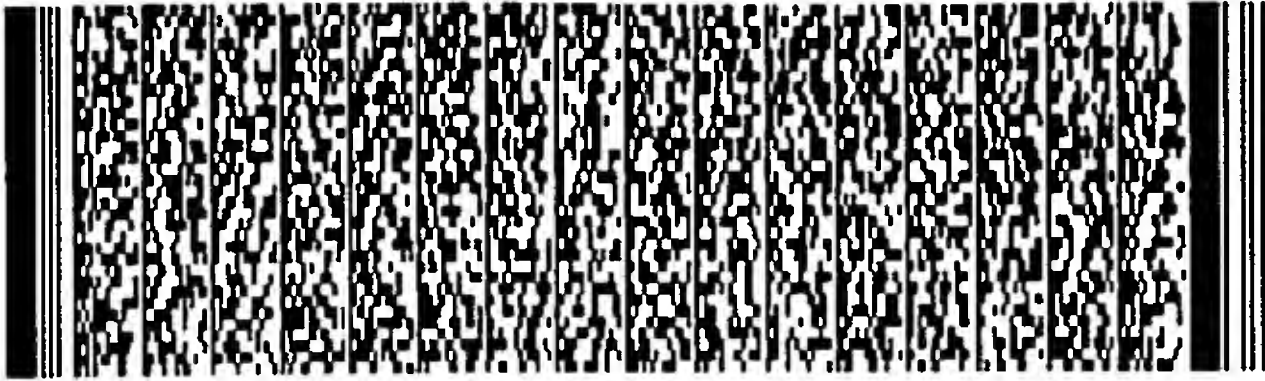


第 2F 圖

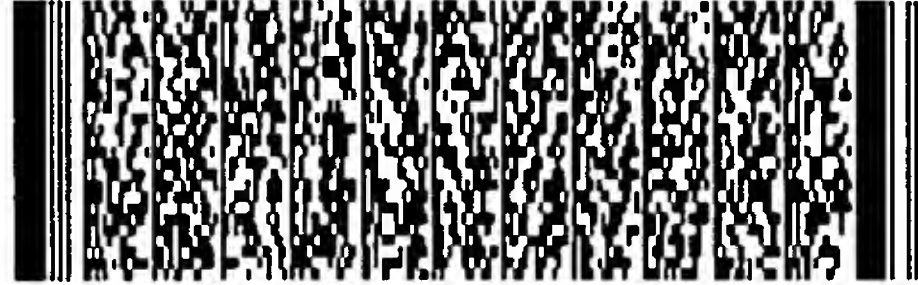


第 2G 圖

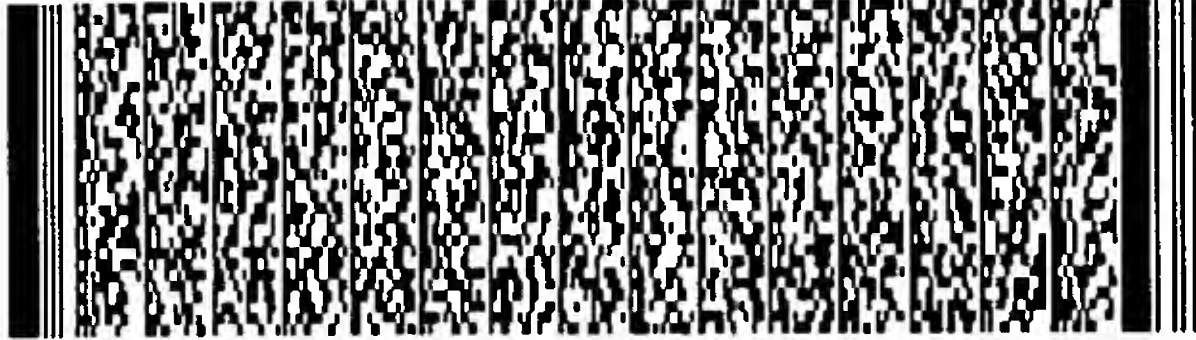
第 1/22 頁



第 2/22 頁



第 3/22 頁



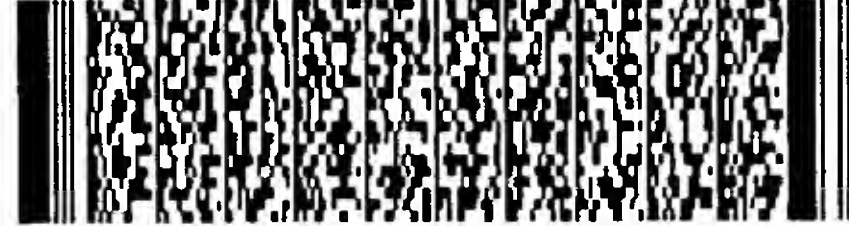
第 3/22 頁



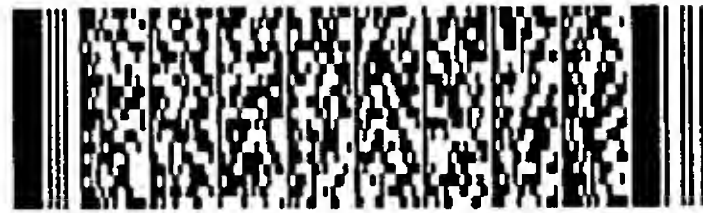
第 4/22 頁



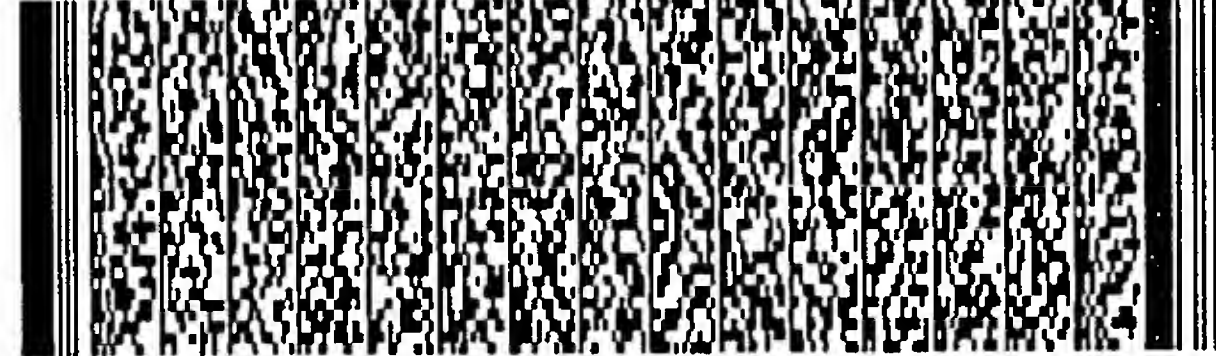
第 5/22 頁



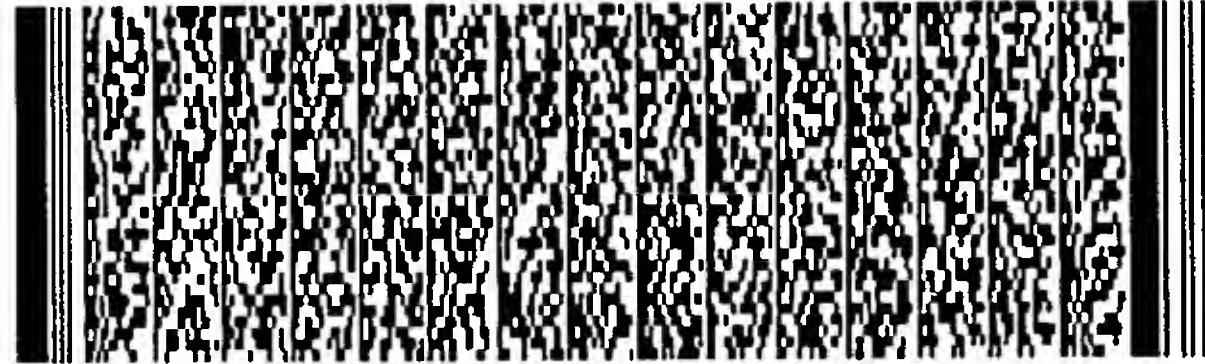
第 6/22 頁



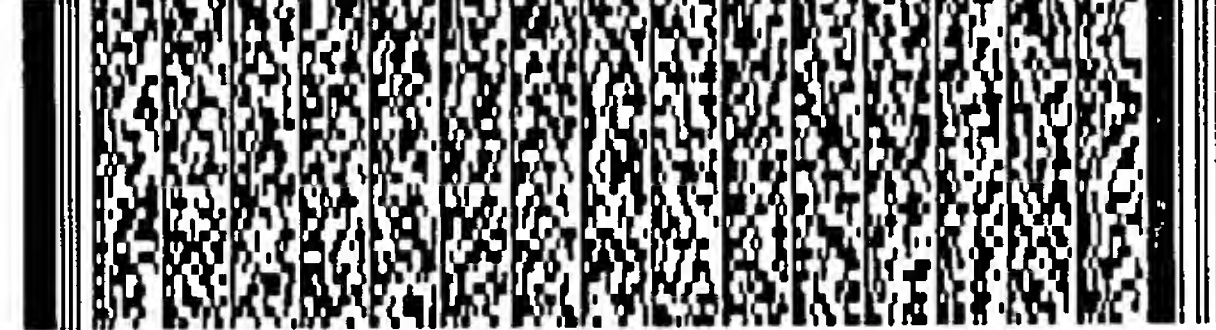
第 7/22 頁



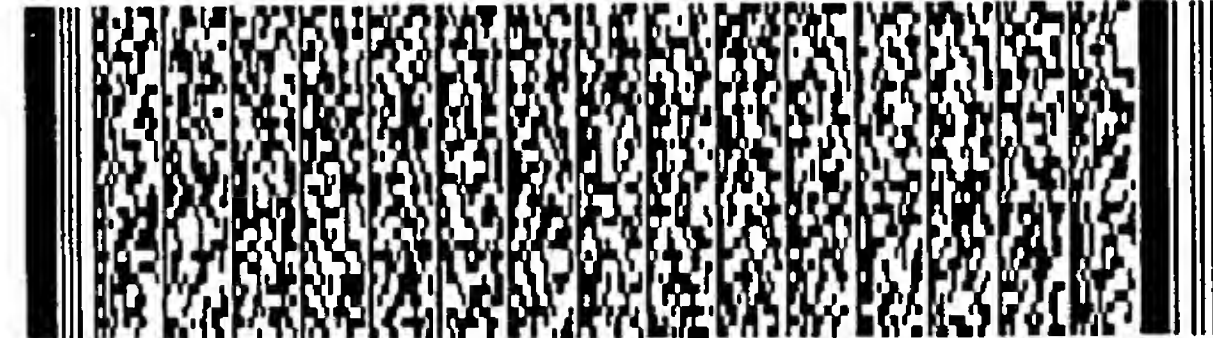
第 7/22 頁



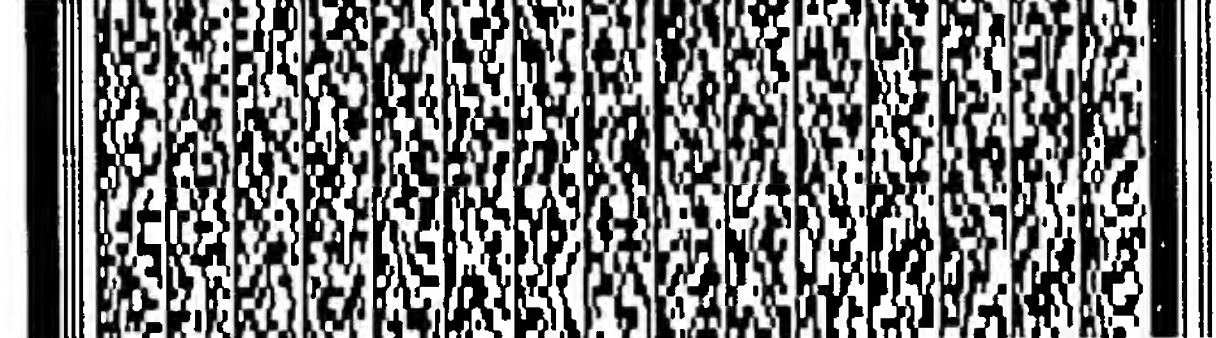
第 8/22 頁



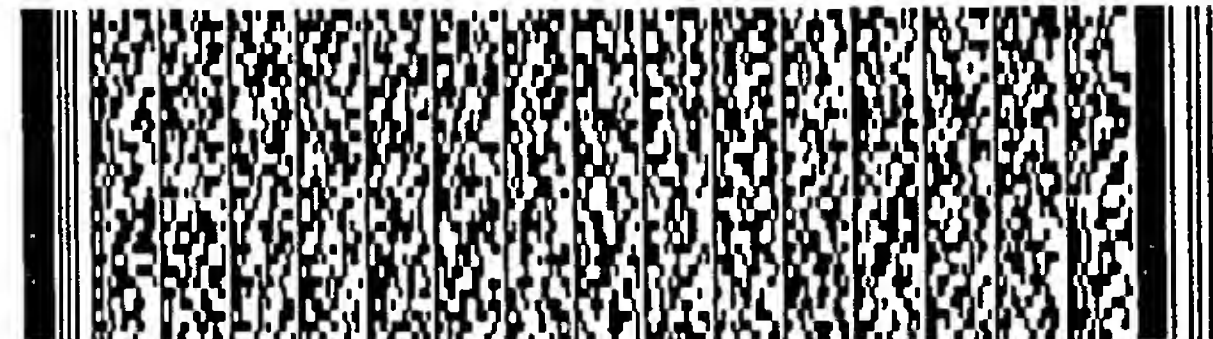
第 8/22 頁



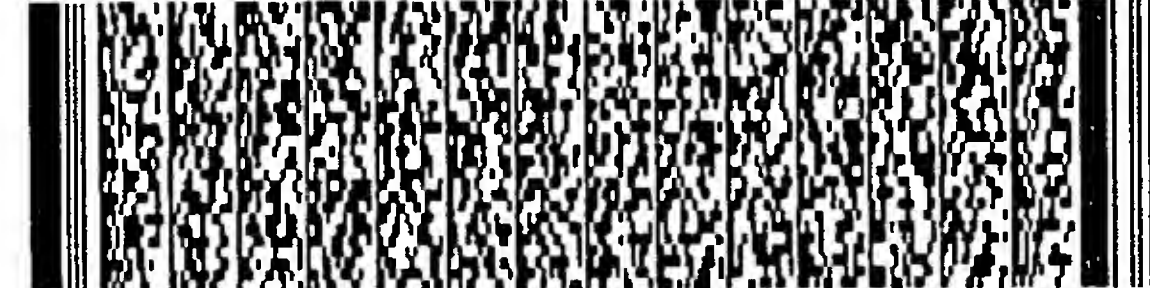
第 9/22 頁



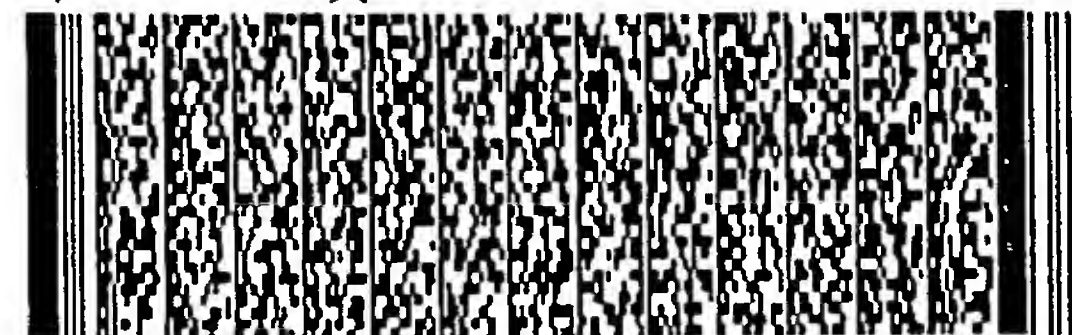
第 9/22 頁



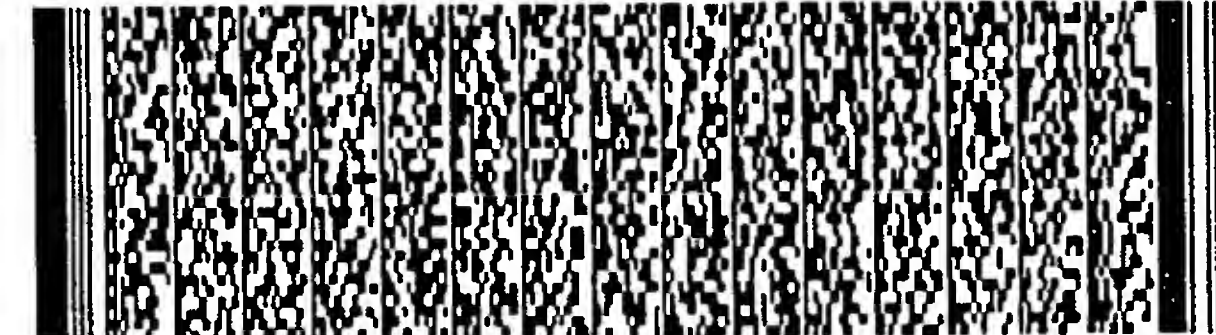
第 10/22 頁



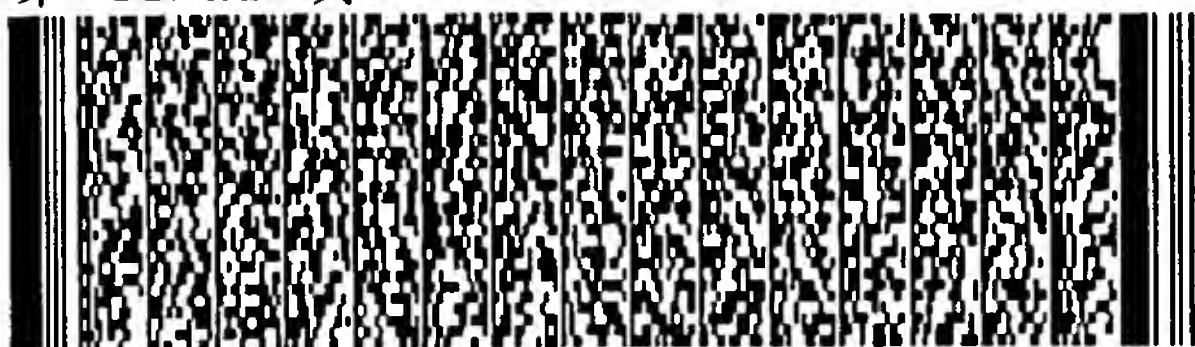
第 10/22 頁



第 11/22 頁



第 11/22 頁



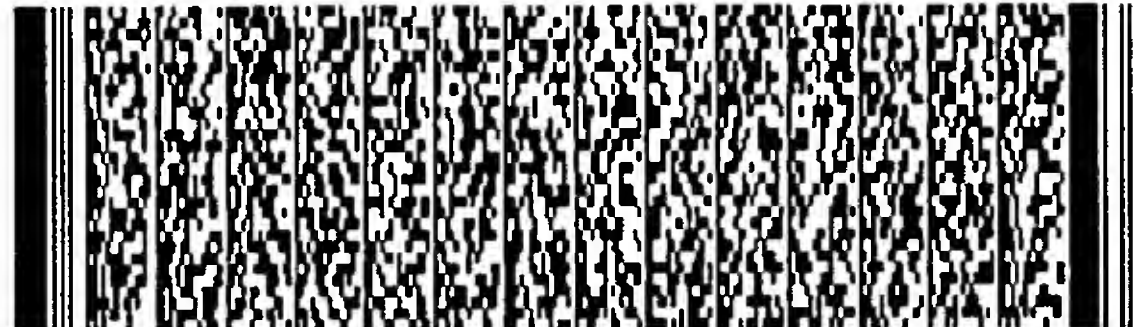
第 12/22 頁



第 12/22 頁



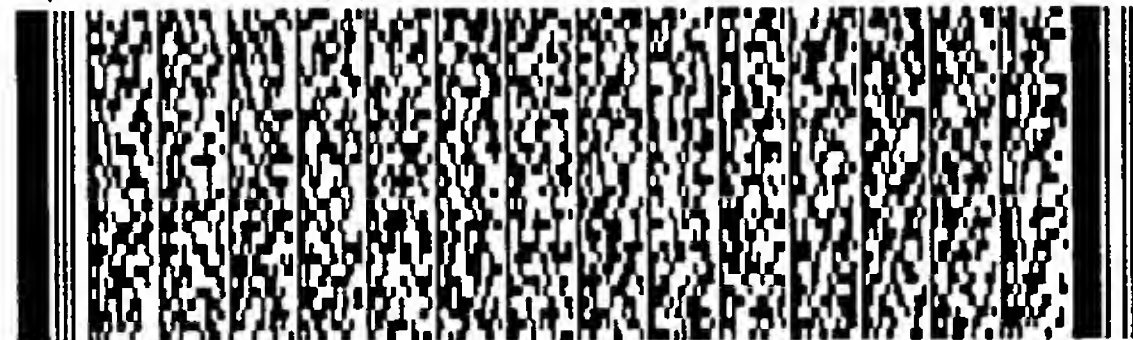
第 13/22 頁



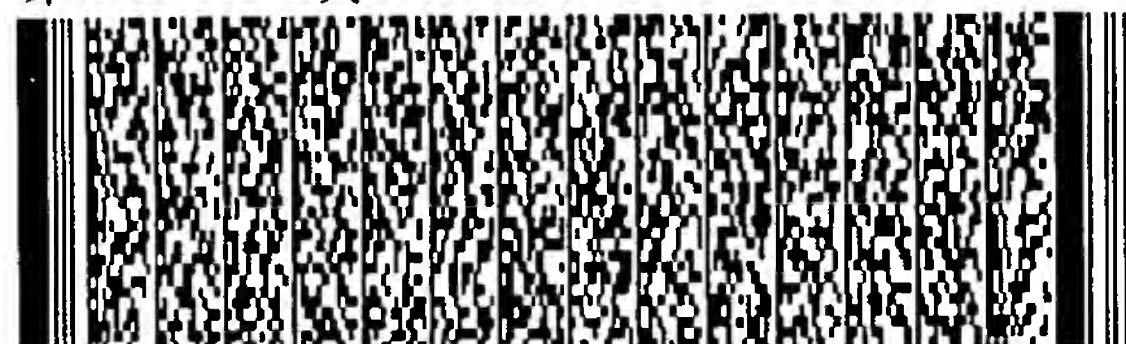
第 13/22 頁



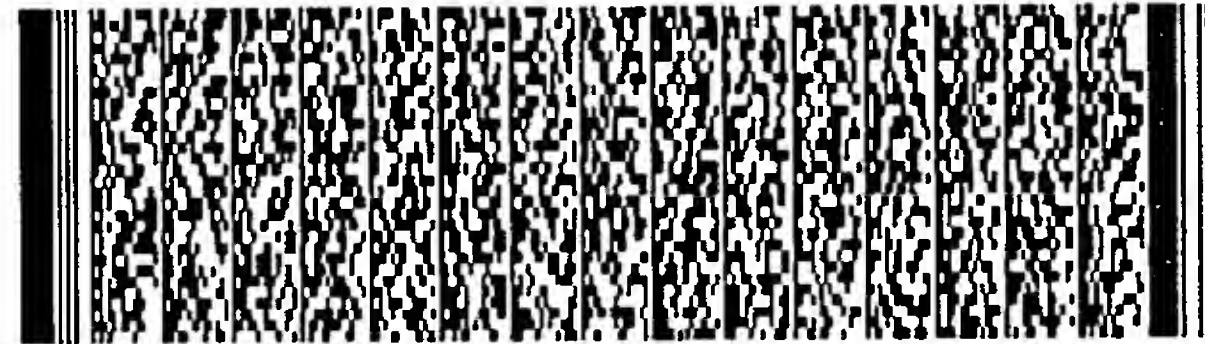
第 14/22 頁



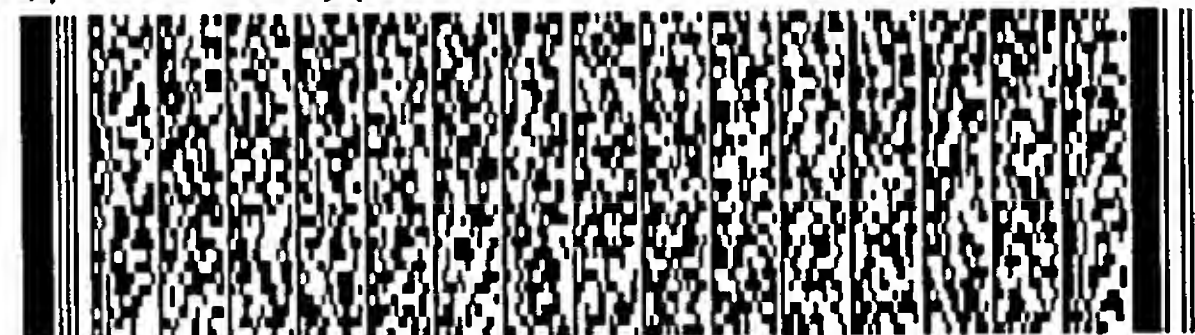
第 14/22 頁



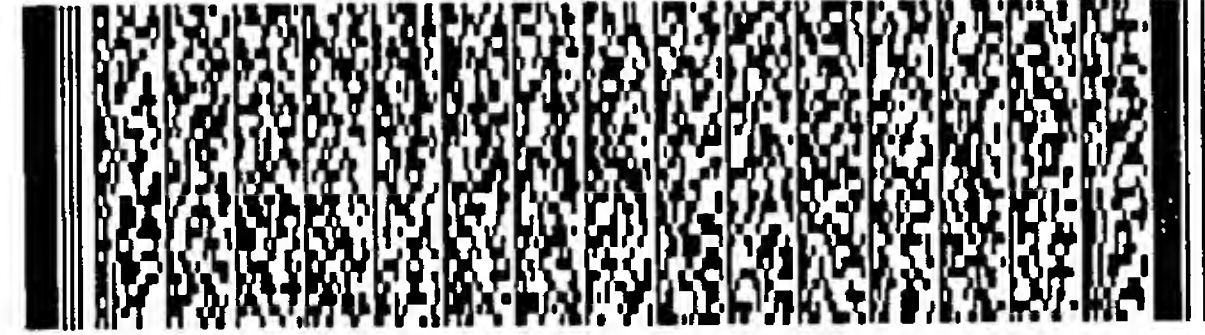
第 15/22 頁



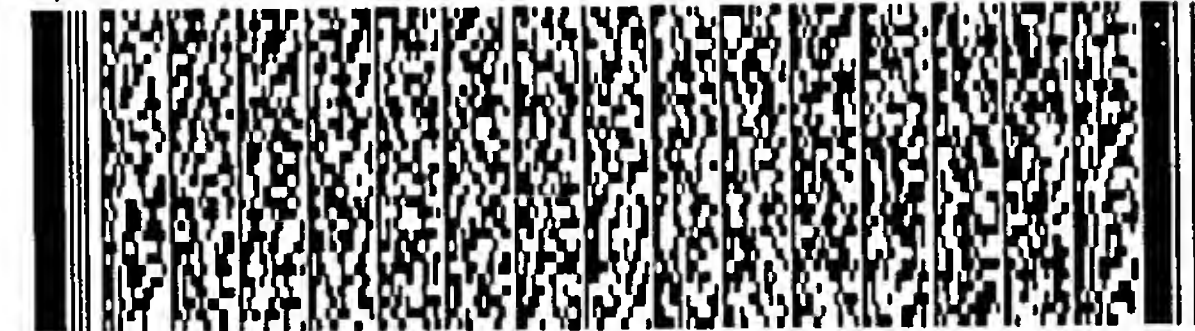
第 15/22 頁



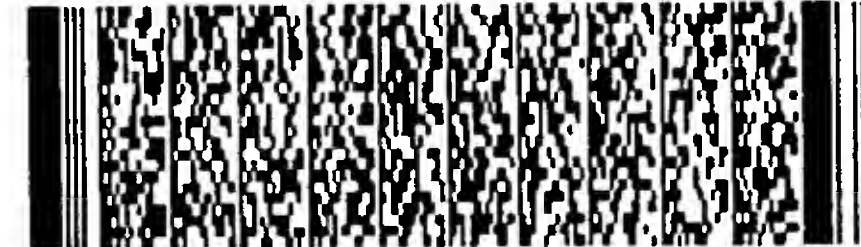
第 16/22 頁



第 16/22 頁



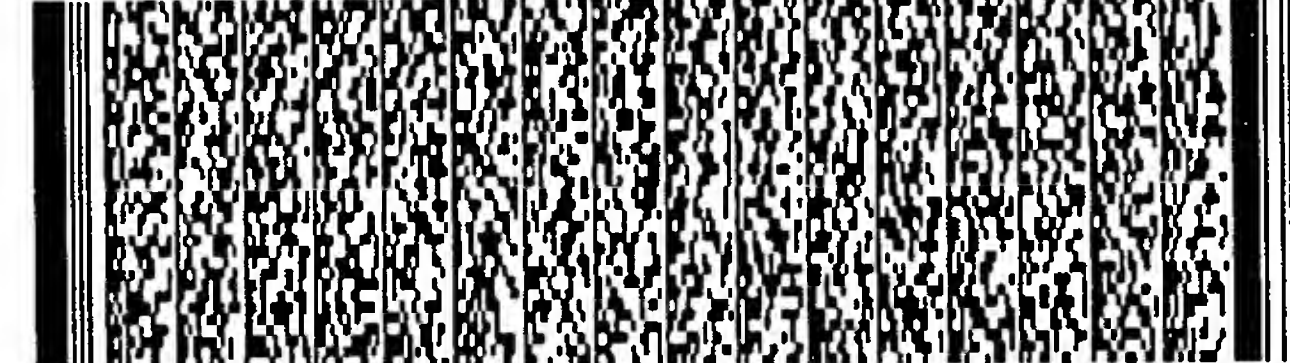
第 17/22 頁



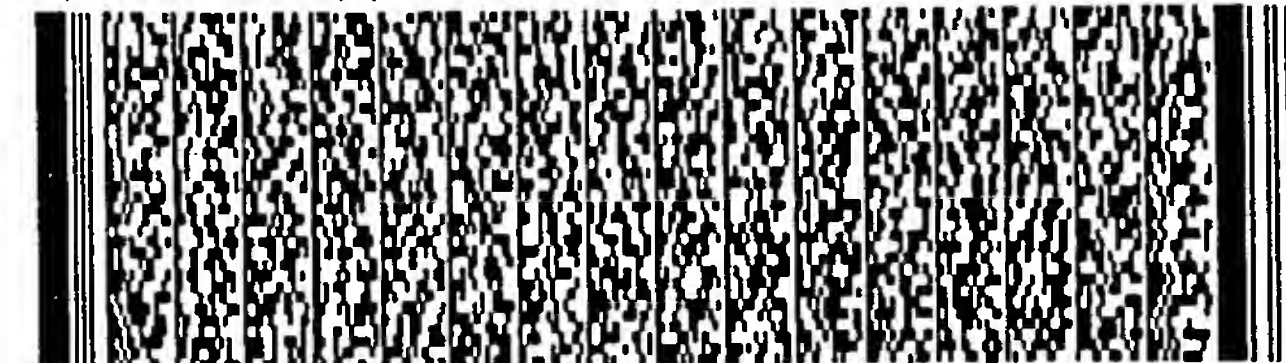
第 18/22 頁



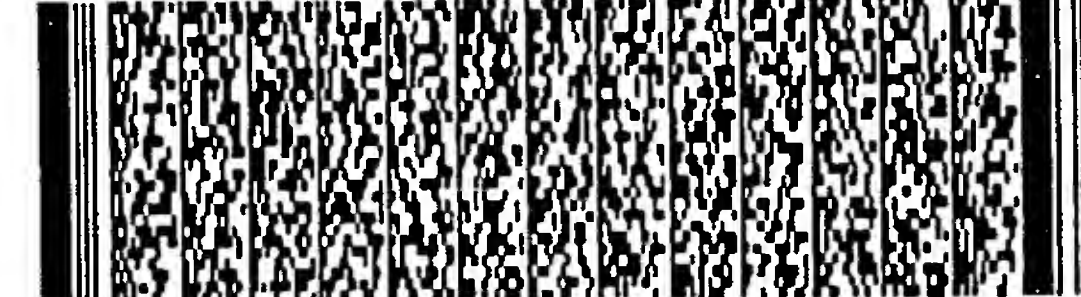
第 19/22 頁



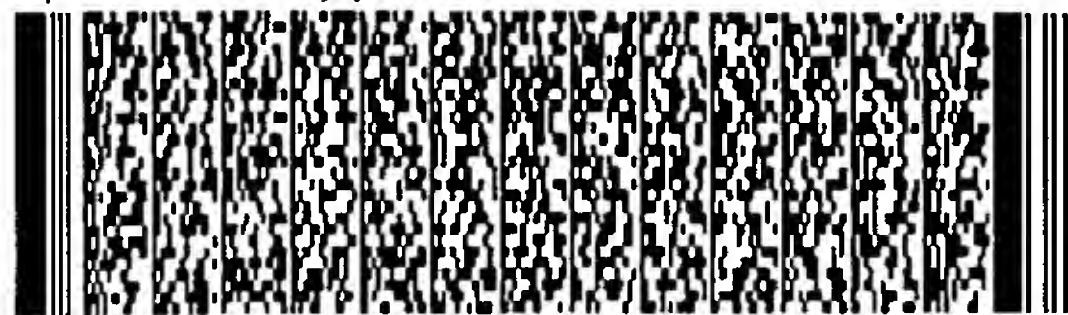
第 20/22 頁



第 21/22 頁



第 21/22 頁



第 22/22 頁

